Digitális technika 2.

BMEVIIIAA06

11. előadás

Korszerű memóriaáramkörök

Memóriák csoportosítása

- **Címzés szerint:** véletlen hozzáférésű, soros hozzáférésű, tartalom szerint címezhető
- **Cellaáramkör tulajdonságai alapján:** csak olvasható, írható-olvasható
- **Technológia szerint:** PMOS,NMOS,CMOS
- **Alkalmazható vezérlők száma szerint:** egy portos, dual portos
- **Aszinkron/szinkron** vezérlésű
- **Stb.**

Címzés szerint

Tetszőleges hozzáférésű memóriák (RAM)

Cím → Adat

Bármelyik pozíció elérése ugyanannyi időt igényel

Soros hozzáférésű memóriák (SAM)

Az információt szekvenciálisan, mindig az adott sorrendet betartva érjük el

FIFO LIFO

Tartalom szerint címezhető (CAM)

Információ-párok tárolását teszi lehetővé oly módon, hogy a főinformáció alapján közvetlenül elérhető a párja (pl. CACHE-vezérlő)

Cellaáramkör tulajdonságai alapján

Felejtő memóriák

Statikus

SRAM

Dinamikus

DRAM

SDRAM

DDR-SDRAM

Nem felejtő memóriák

Többször programozható

MRAM

FRAM

NVRAM

EPROM

EEPROM

FLASH

Maszk programozott

ROM

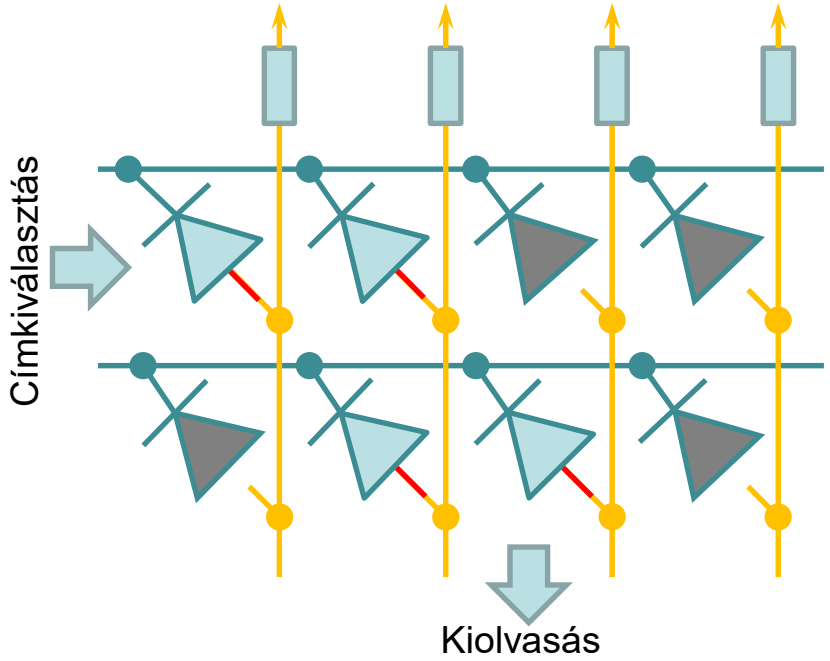
Egyszer programozható

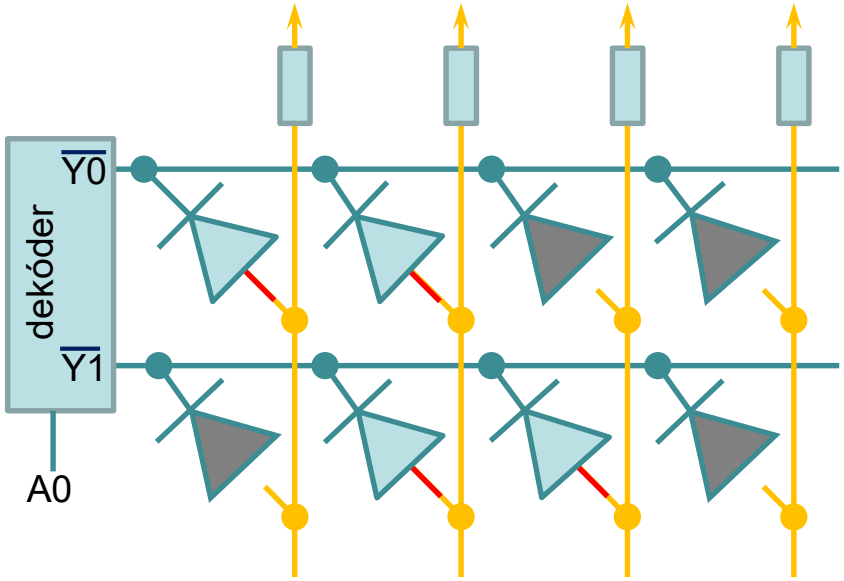
PROM

OTP

Nemfelejtő memóriák

ROM (Read Only Memory)





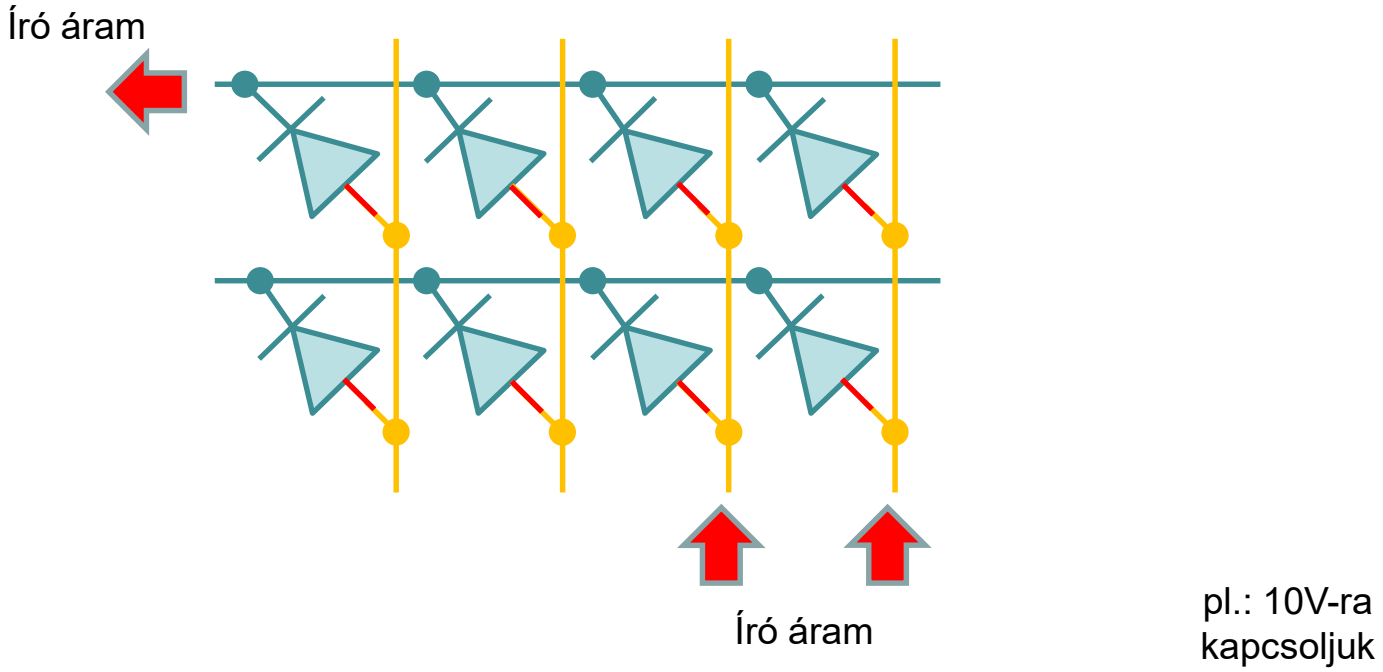
A0	D3	D2	D1	D0
0	0	0	1	1
1	1	0	0	1

Kiolvasás

- Gyártás során,a **gyárban kerül be** a memóriatartalom (bizonyos összeköttetések vagy gyárilag elkészülnek, vagy nem)
- Csak nagyon nagy darabszámnál rentábilis

Nemfelejtő memóriák

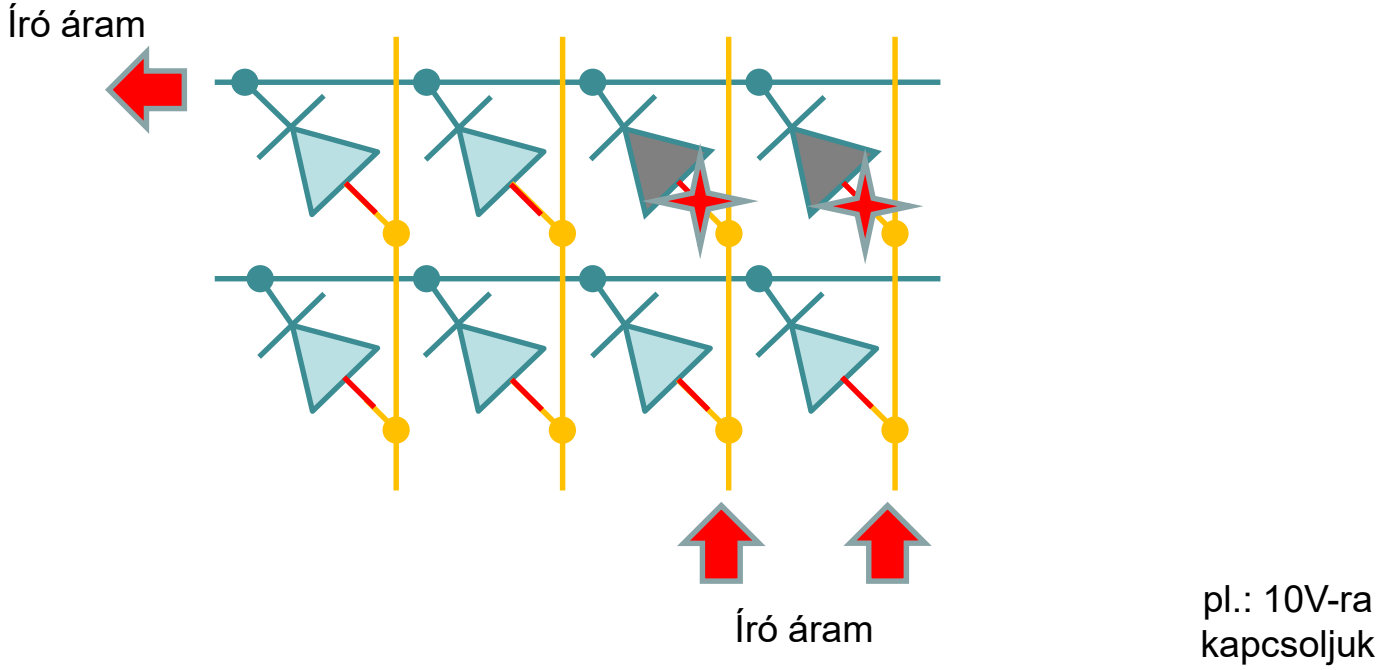
PROM (Programable Read Only Memory)



•**Felhasználó által** 1x égethető be (programozható) a memóriatartalom
(Az összeköttetések eleve mind ott vannak, csak néhányat a programozáskor „elrontunk”)

Nemfelejtő memóriák

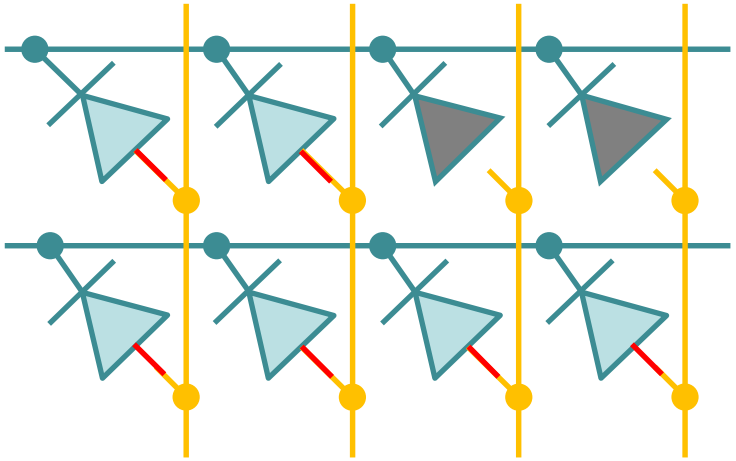
PROM (Programable Read Only Memory)



•**Felhasználó által** 1x égethető be (programozható) a memóriatartalom
(Az összeköttetések eleve mind ott vannak, csak néhányat a programozáskor „elrontunk”)

Nemfelejtő memóriák

PROM (Programable Read Only Memory)

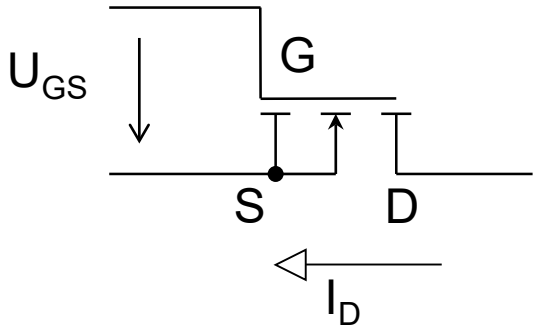


pl.: 10V-ra
kapcsoljuk

•**Felhasználó által** 1x égethető be (programozható) a memóriatartalom
(Az összeköttetések eleve mind ott vannak, csak néhányat a programozáskor „elrontunk”)

Kitekintés - FET

- Field-Effect Transistor
- Villamos térrel vezérelhető
- Félvezető kialakítástól és anyagtól függően lehet
  - P vagy N csatornás
  - növekményes vagy kiürítéses működésű
- Memória áramkörökben „kapcsolóként”



G: Gate
S: Source
D: Drain

Pl.: N csatornás növekményes típus:
$U_{GS} > V_t$ → bekapcsol (I_D áram folyhat)

$U_{GS} = 0$ → kikapcsol

- A G elektród kapacitásában töltés tárolódik → jó szigeteléssel memóriaként viselkedik

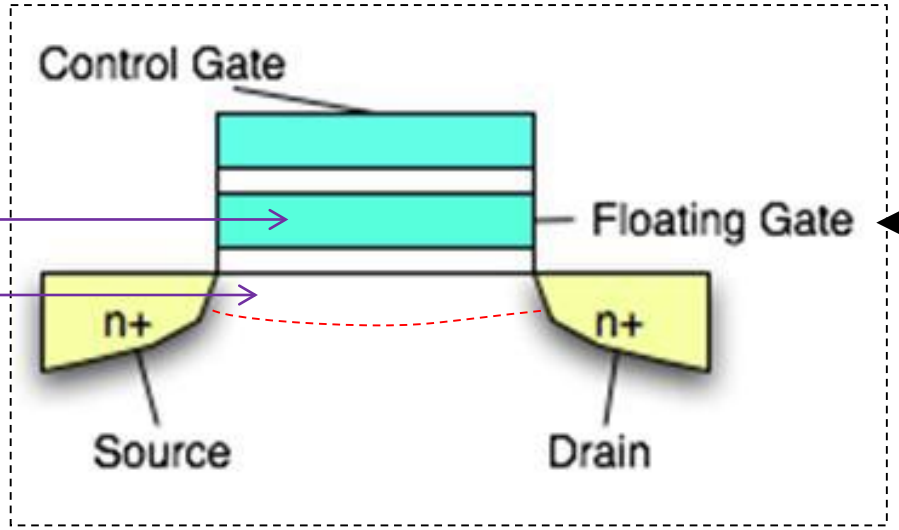
Nemfelejtő memóriák

EPROM (Erasable-Programmable ROM)

EEPROM (Electrically Erasable-Programmable ROM)

Véges törlési-írási ciklusszámok!

e^- → „szakadás”



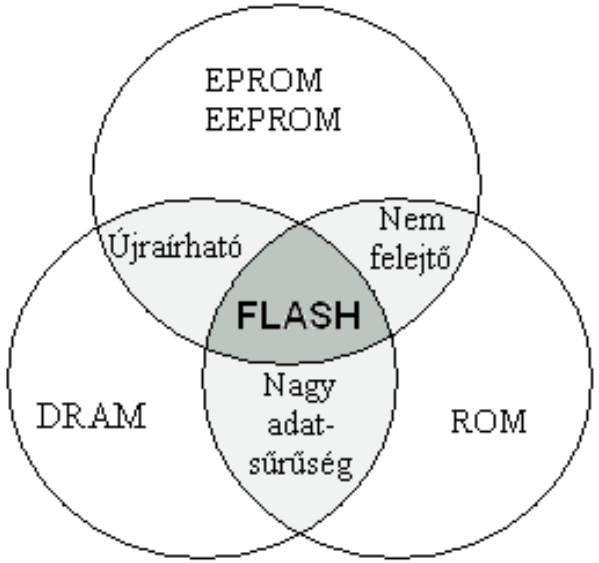
Megőrzi az elektromos töltést a tápfeszültség megszűnése után is

EPROM: UV-fénnyel törölhető

EEPROM: elektromosan törölhető

Nemfelejtő memóriák

FLASH memóriák



Lényegében egy speciális EEPROM fajta

A különbség annyi, hogy a lebegő-gate alatti oxidréteg jóval vékonyabb → nagyobb adatsűrűség érhető el

+ a source és drain elektródák nagyobb diffúziós mélysége miatt nagyobb törlési-írási ciklusszámot értek el

Két típus

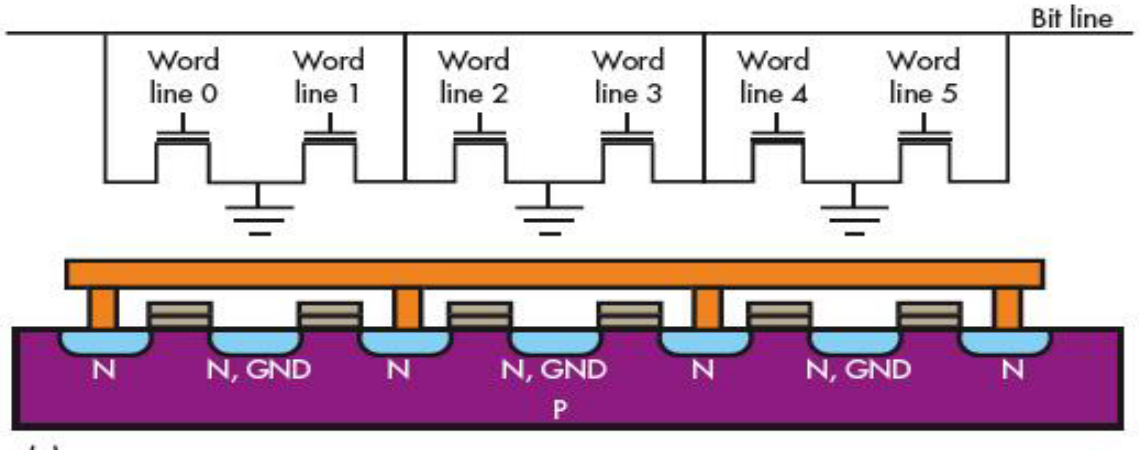
- NOR: bájtos elérés, kisebb adatsűrűség, gyors
- NAND: blokkos elérés, nagyobb adatsűrűség, lassú

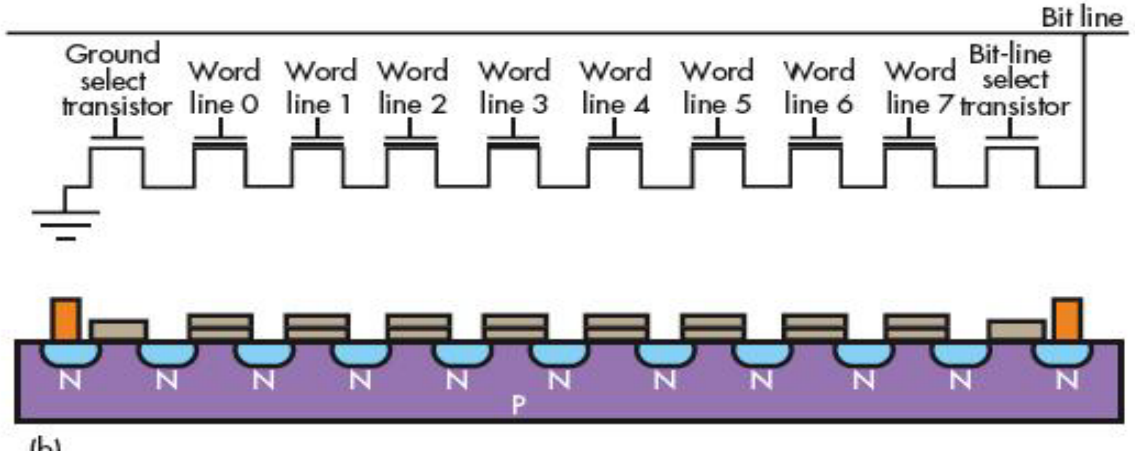
Nemfelejtő memóriák

FLASH memória alapú adathordozók, háttértárak

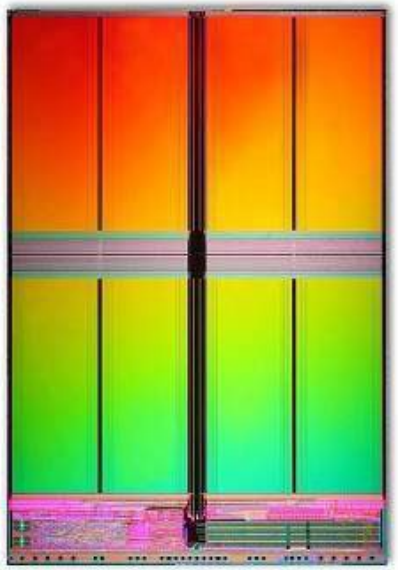
- Megjelenési formák
- FLASH memória
- NAND↔NOR
- SSD felépítése, jellemzői

NOR FLASH ↔ NAND FLASH





- Bitcellák huzalozott NOR kapcsolatban
- Kiolvasáskor csak az olvasandó cella aktív
- Gyors működés
- Kisebb fajlagos tároló kapacitás (több vezetékezés kell ugyanannyi tároló cellához)

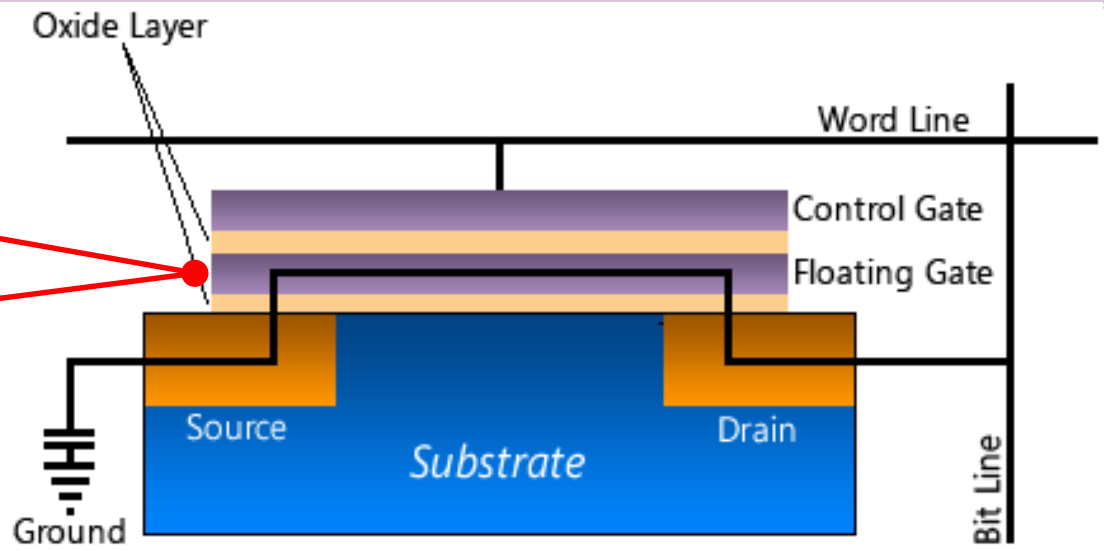


- Bitcellák huzalozott NAND kapcsolatban
- Kiolvasáskor az összes soros cella bekapcsolva
- Lassabb működés
- Nagyobb fajlagos tárolókapacitás

Több szintű (Multi-level) bitcella

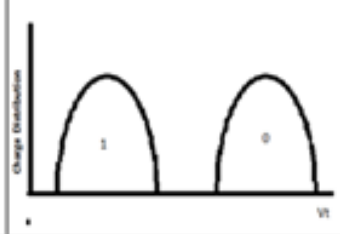
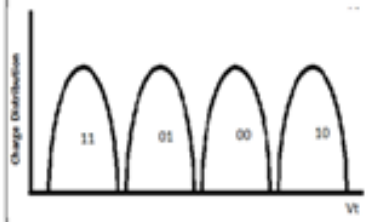
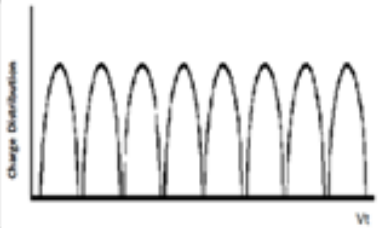
Információ tárolás villamos töltésekkel

→ Igazából ez egy analóg „szint”, értelmezés kérdése, hogy hány digitális állapotot különböztetünk meg rajta

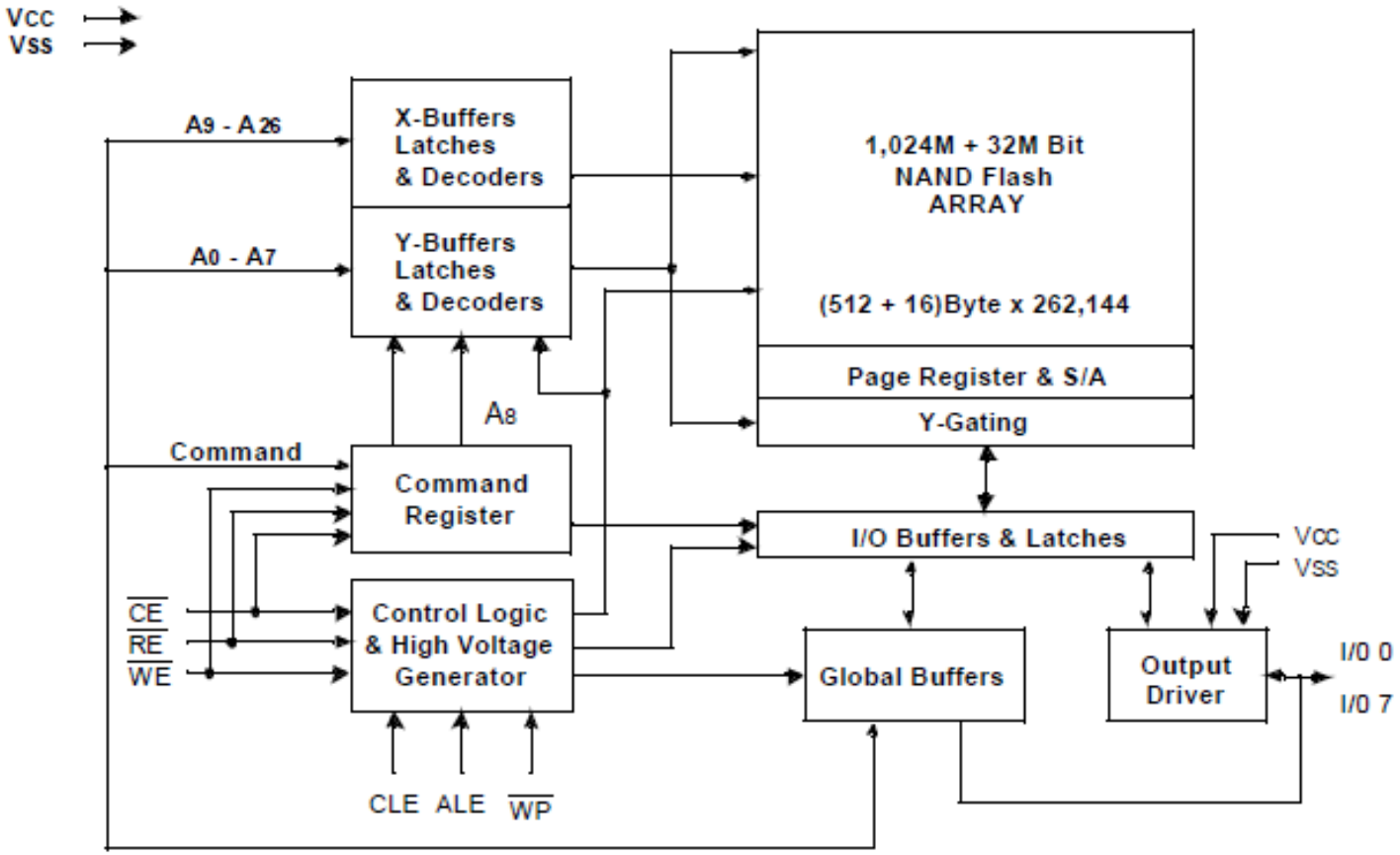


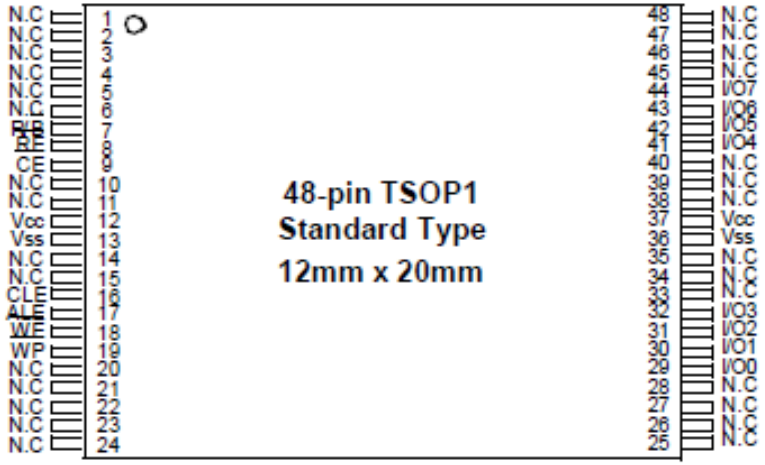
- Több bit is lehet egyetlen cellában
- Nehezebb megkülönböztetni az értékeket
- Kevésbé hibatűrő

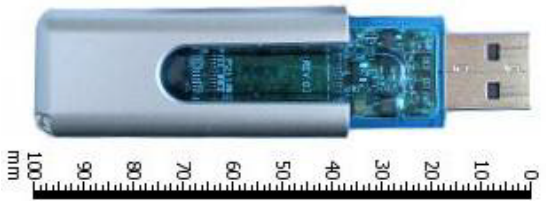
- de ugyanannyi adat tárolása olcsóbb…

	SLC (Single level Cell)	MLC (Multi Level Cell)	TLC (Tri Level Cell)
			
Storage Capacity	1 bits/cell	2 bits/cell	3 bits/cell
Performance	High	Medium	Low
Lifetime (Erase cycles)	~100K	~10K	~5K
Error Correction	Less Complex	Medium Complex	Highly Complex

NAND-FLASH memória



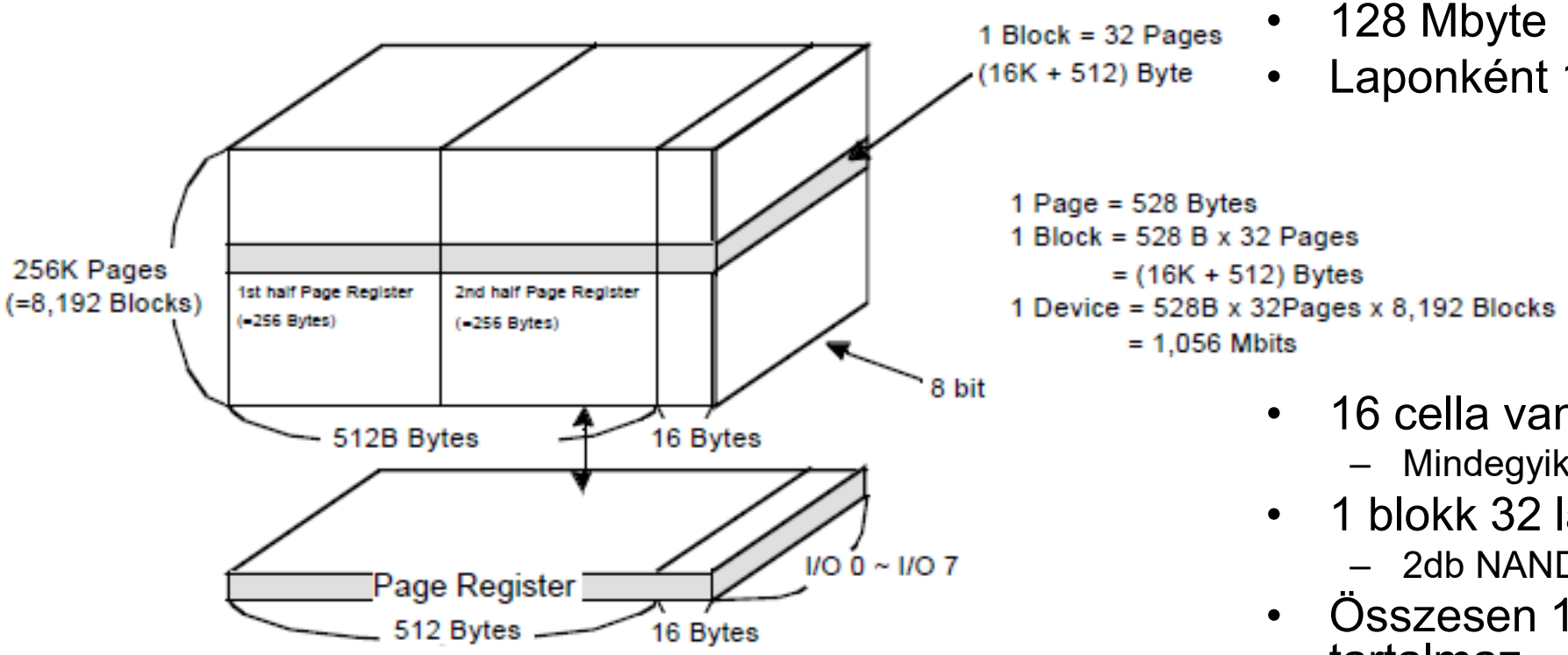




Pin Name	Pin Function
I/O0 ~ I/O7	Data Input/Outputs
CLE	Command Latch Enable
ALE	Address Latch Enable
$\overline{CE}$	Chip Enable
$\overline{RE}$	Read Enable
$\overline{WE}$	Write Enable
$\overline{WP}$	Write Protect
R/$\overline{B}$	Ready/Busy output
Vcc	Power(+2.7V~3.6V)
Vss	Ground
N.C	No Connection

NAND-FLASH memória (pl.: típusa: k9k1g08u0m)
(512+16) bájtos lapok
(16k+512) byte méretű blokkokban törölhető
Hozzáférési idő: 12μs/50ns (RD), 200 μs (WR)
Blokk törlési idő: 2ms
100 000 E/W, 10év adatmegőrzés

Belső szervezés



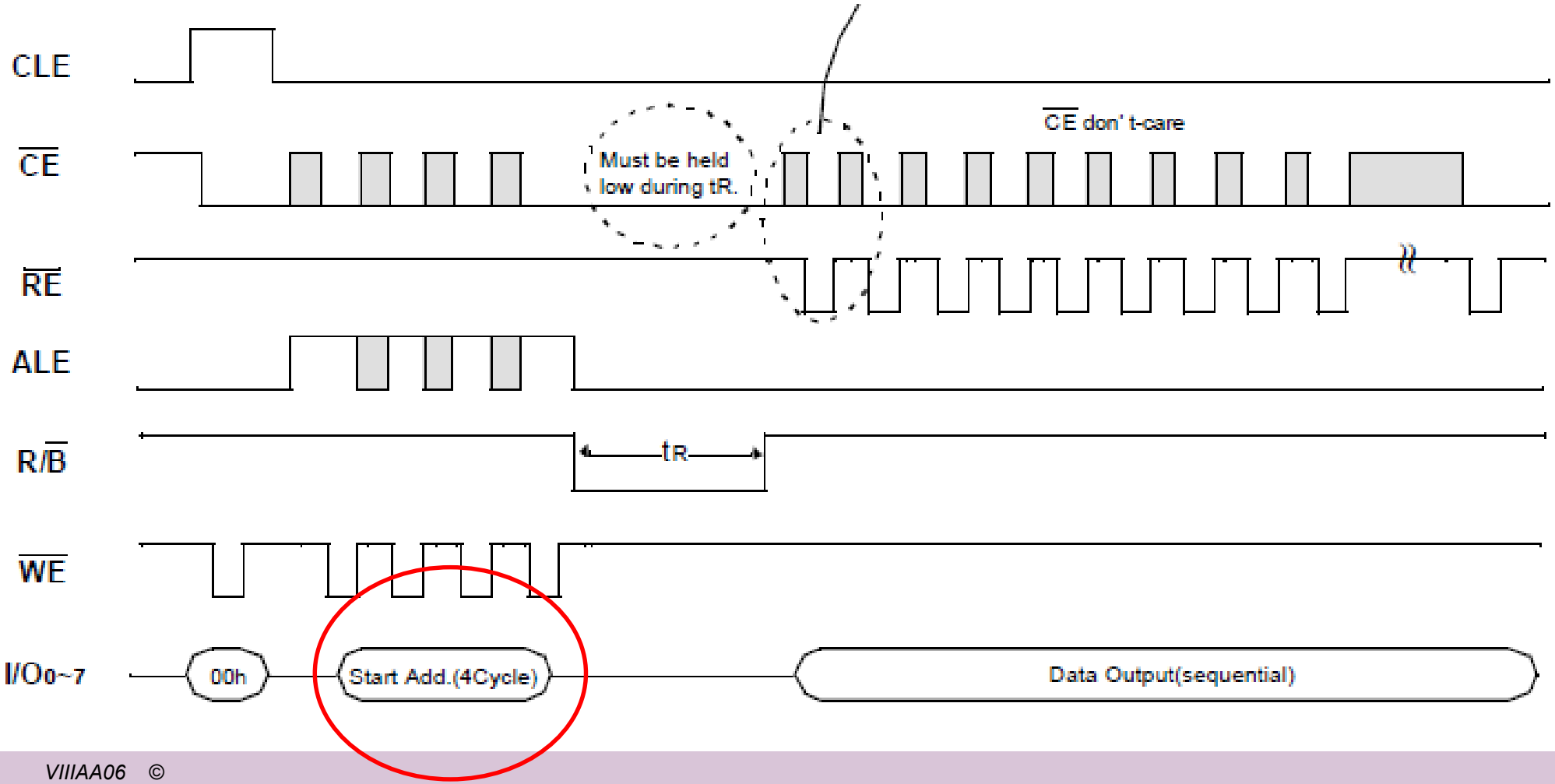
- 128 Mbyte
- Laponként 16 tartalék byte

- 16 cella van sorba kapcsolva (NAND)
  - Mindegyik cella másik lapon van
- 1 blokk 32 lapot tartalmaz
  - 2db NAND struktúrába szervezve
- Összesen 16384db NAND struktúrát tartalmaz

	I/O 0	I/O 1	I/O 2	I/O 3	I/O 4	I/O 5	I/O 6	I/O 7	
1st Cycle	A0	A1	A2	A3	A4	A5	A6	A7	Column Address
2nd Cycle	A9	A10	A11	A12	A13	A14	A15	A16	Row Address (Page Address)
3rd Cycle	A17	A18	A19	A20	A21	A22	A23	A24	
4th Cycle	A25	A26	*L	*L	*L	*L	*L	*L	

Olvasás művelet

- Címzés 4 bájt egymás utáni beírásával

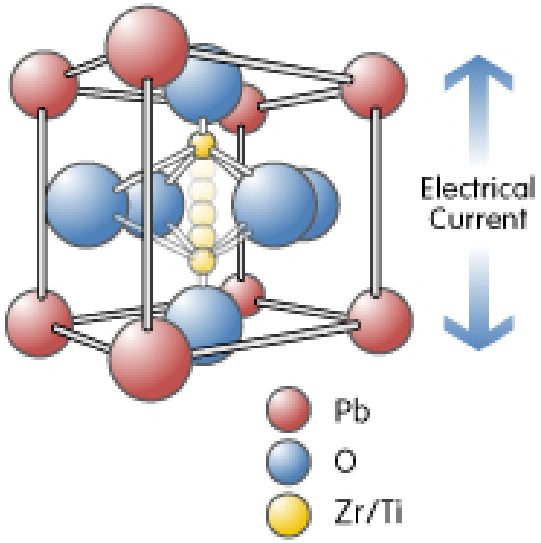


Nemfelejtő memóriák

FRAM (Ferroelectric RAM)

- Bitcella: a félvezető felületére ferroelektromos kristályréteget visznek fel, a kristály központi atomjának pozíciója **elektromos térrel** a középpont alá vagy fölé állítható → 1 / 0
- Az atom pozíciója a villamos tér megszűnése után megmarad
- Íráskor az adat beírása azonnal megtörténik, nincs további írási idő, mint a normál EPROM-oknál
- Végtelen nagy törlési-írási ciklusszám! (38 év adatmegőrzés)
- Drága, és kis adatsűrűség

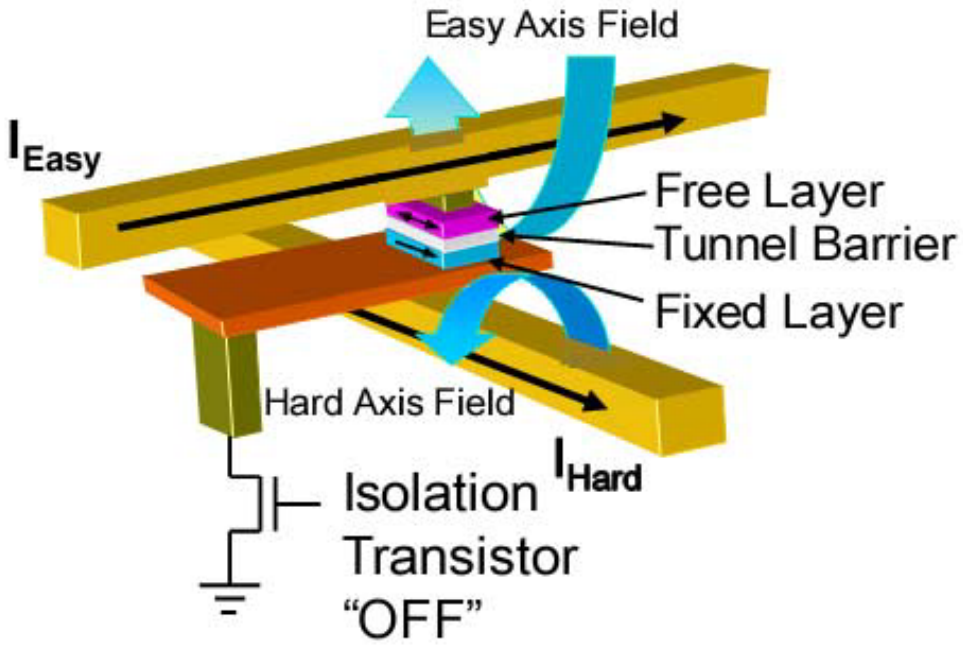
Elektromos dipólus



Nemfelejtő memóriák

Magneto-resistive RAM

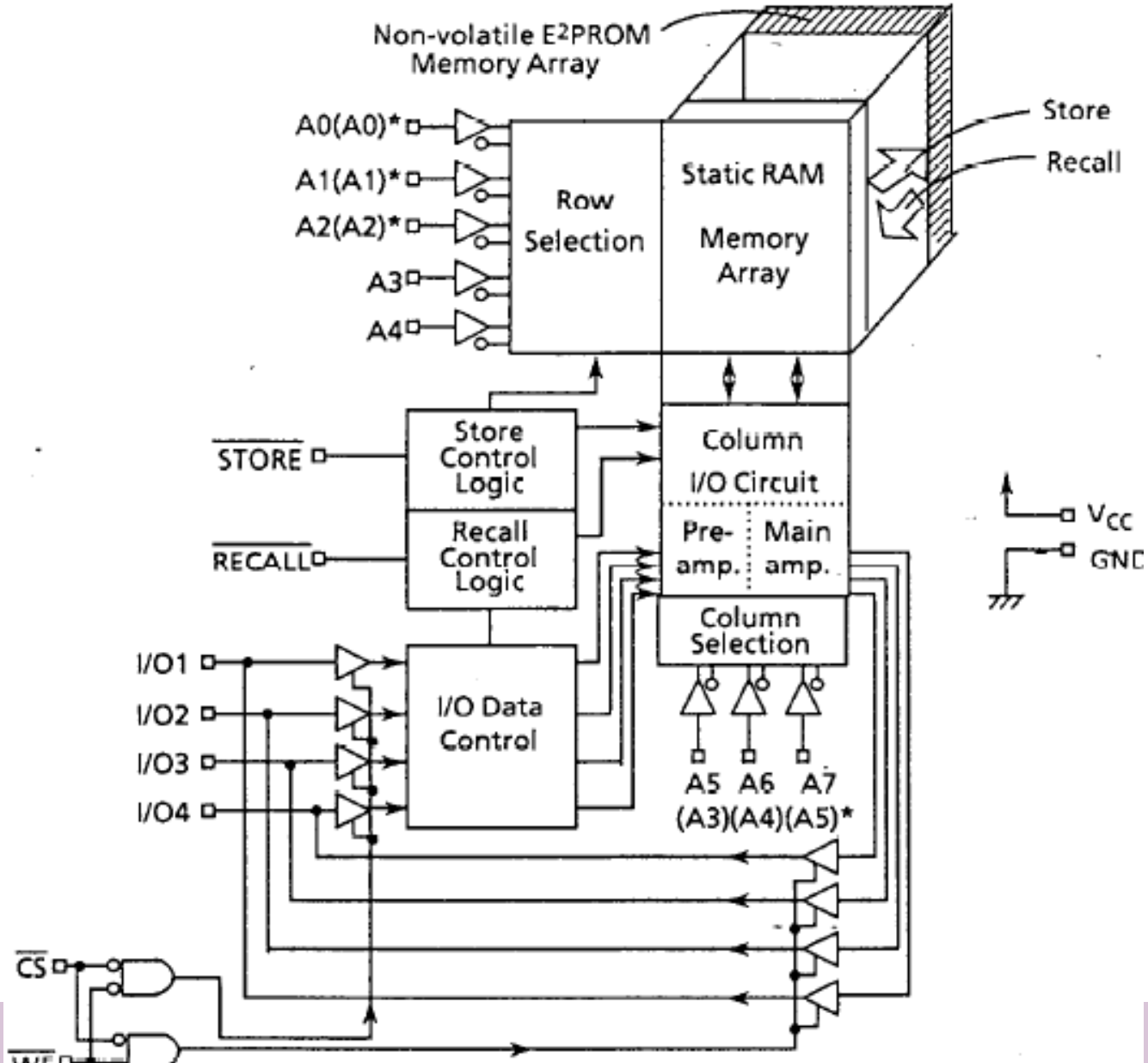
- Bináris információt permanens mágnes tárolja
- Kiolvasás, villamos ellenállás érték alapján
- Beírás: átmágnesezéssel
- Egyelőre drága és nagy a fogyasztása (főleg íráskor)



Nemfelejtő memóriák

NVRAM - 1

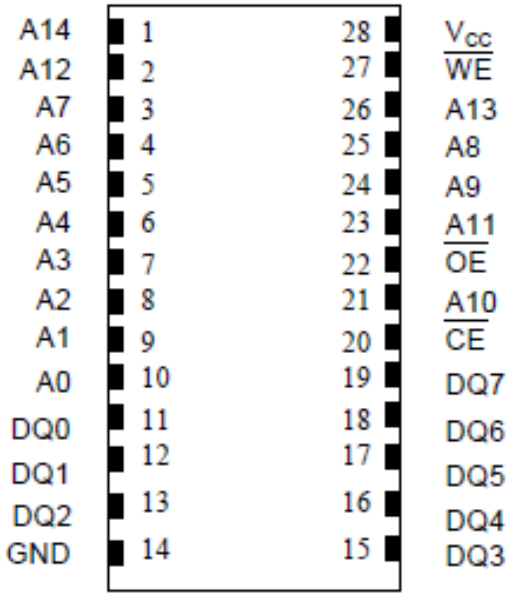
- Minden RAM cella mögött egy EEPROM
- Egy művelettel (STORE) menthető
- Egy lépésben visszatölthető (RECALL)

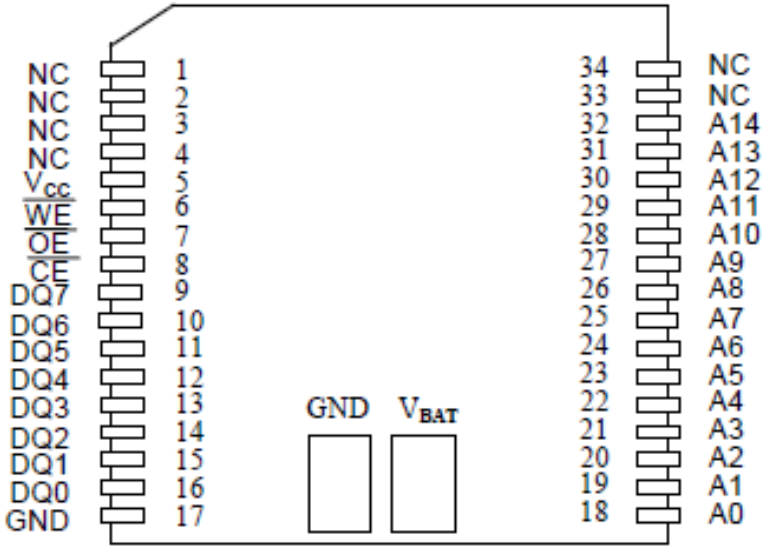


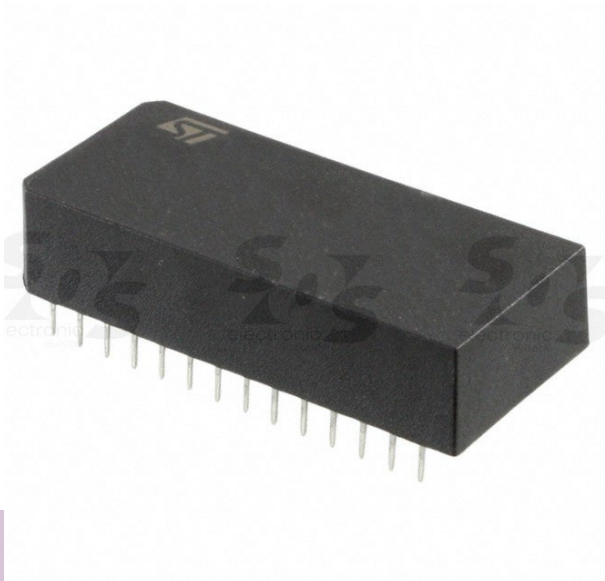
Nemfelejtő memóriák

NVRAM - 2

- Egyszerű SRAM
- Beintegrált vagy külső lítium elemmel
- Kb. 10 év telep élettartam
  - Utána, ha beintegrált az eleme, sajnos nem használható többet.



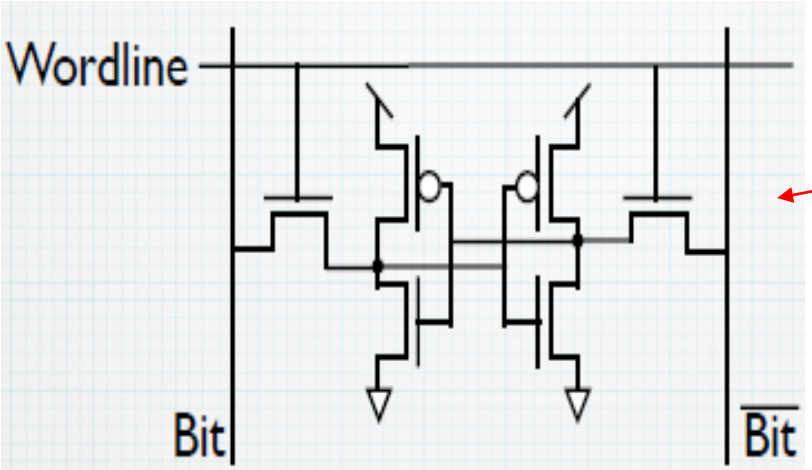


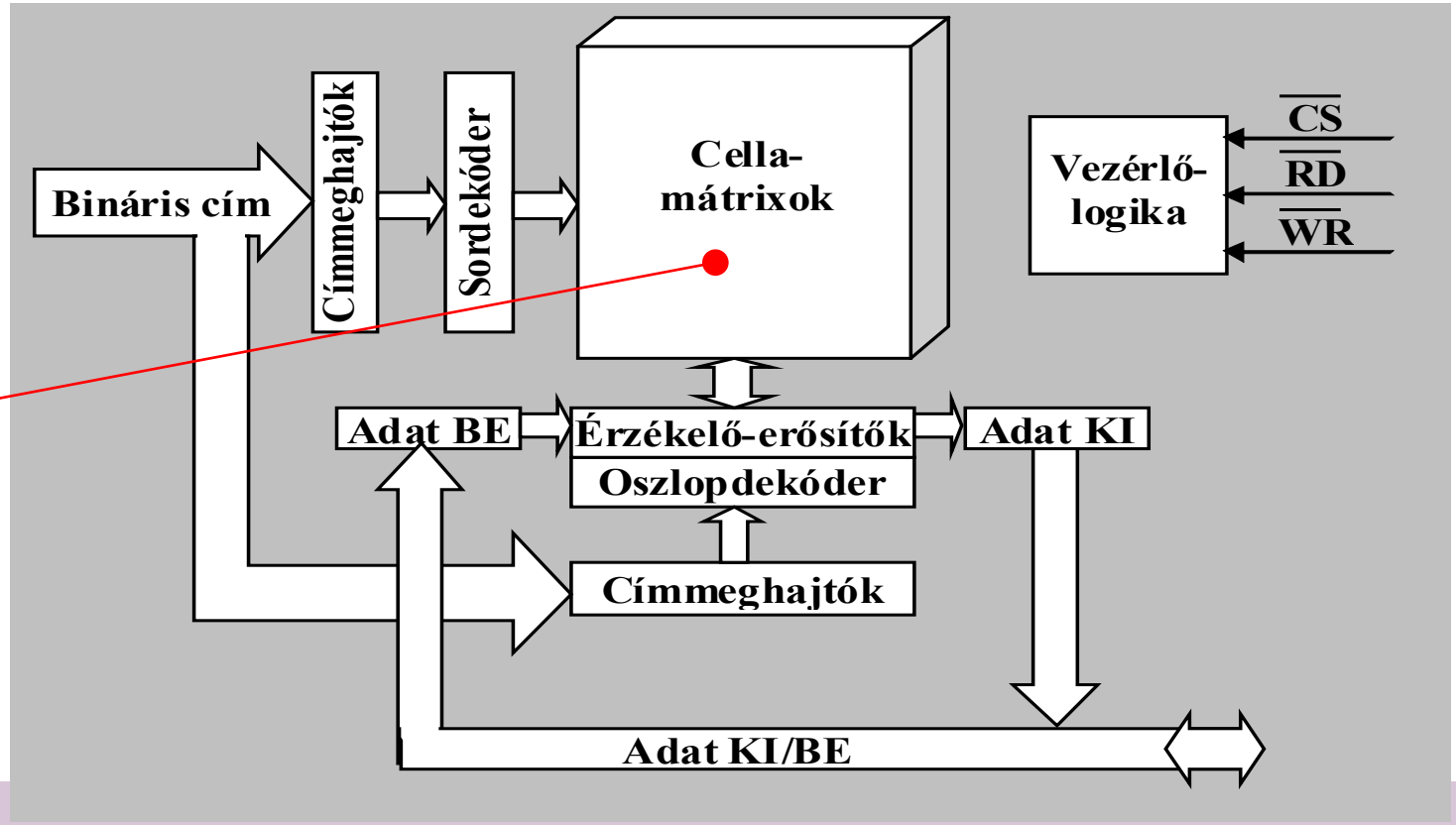


SRAM (Static RAM) */ezt már ismerjük/*

- Előny: gyors, tartalmát statikusan megőrzi (amíg van elég tápfeszültség)
- Hátrány: bitcellájának helyigénye messze a legnagyobb → ugyanakkora félvezető-kristályban a legkisebb kapacitás valósítható meg vele → drága

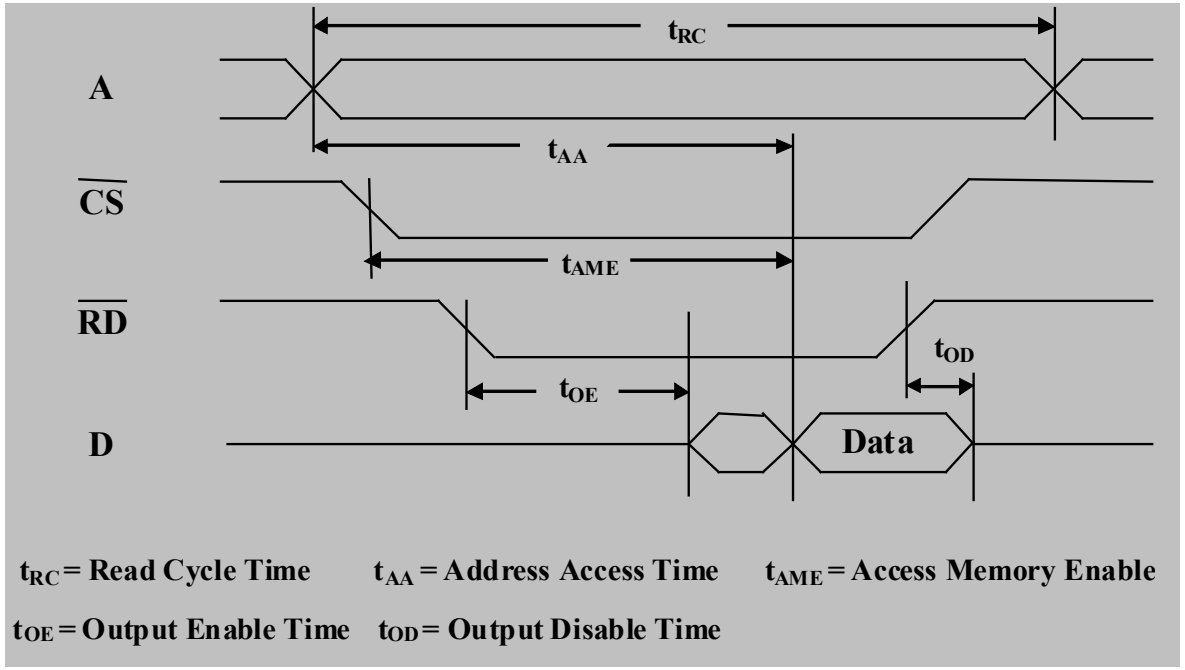
1 bitcella felépítése:

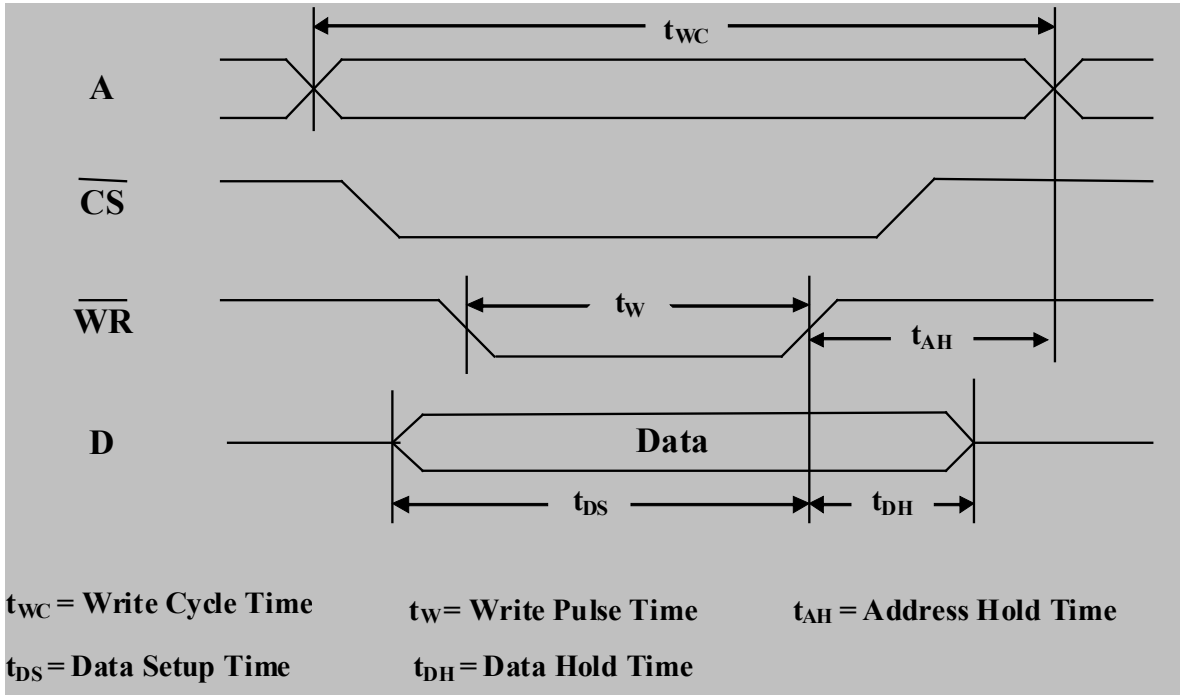




SRAM interfésze

- Olvasása, írása a szokásos buszciklusokhoz illeszkedik:
  - Cím→kiválasztójel→vezérlőjel→adat





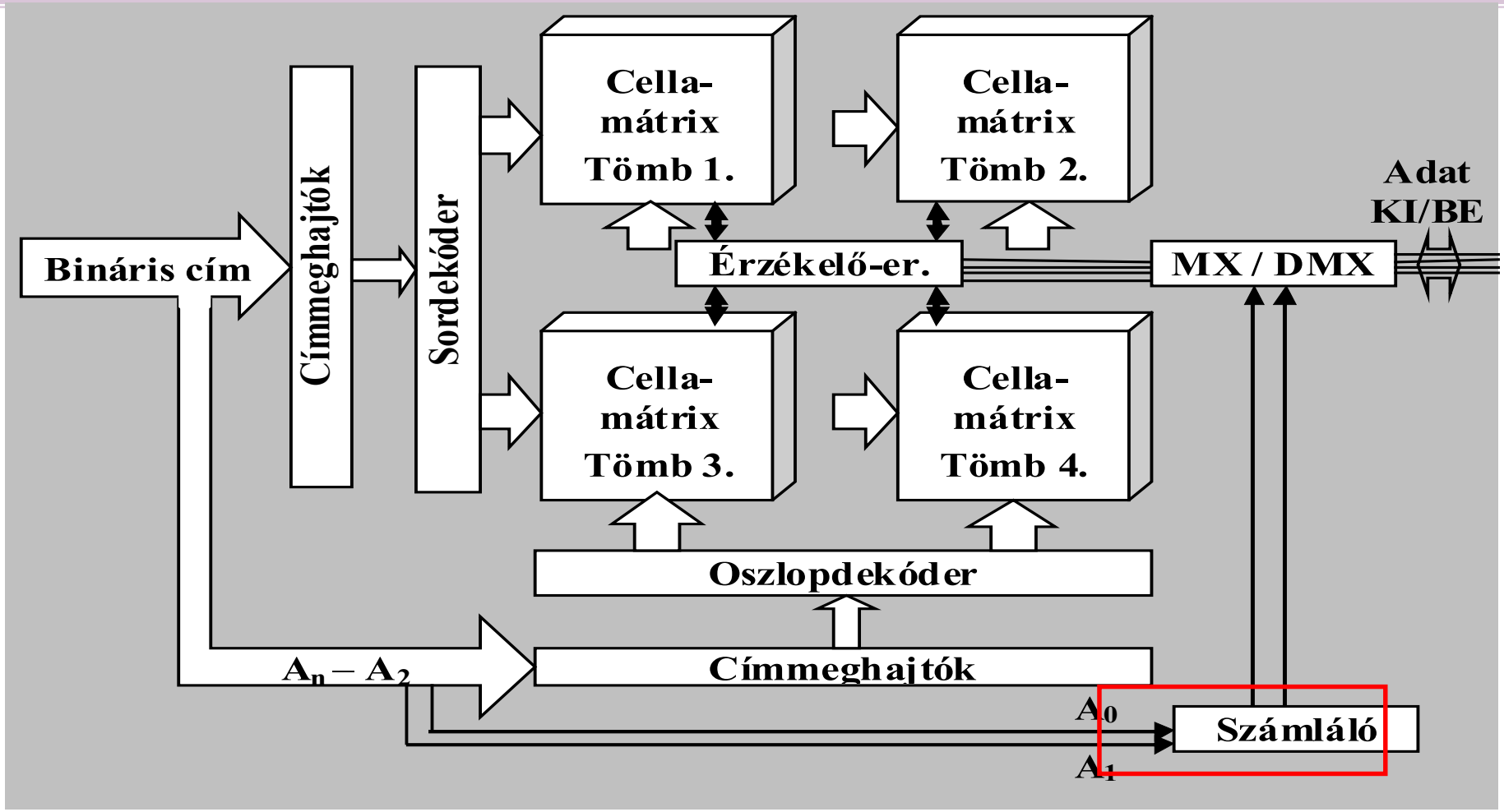
SRAM

Strukturális továbbfejlesztések:

- Blokkos adattovábbítás (burst működés)
- Átlapolt működés (Interleave)
- Pipeline működés
- Dual-Port működés (többszörös hozzáférés)

A mai nagyobb SRAM-ok már többnyire **szinkron** működésűek, azaz külön órajelre is szükségük van.

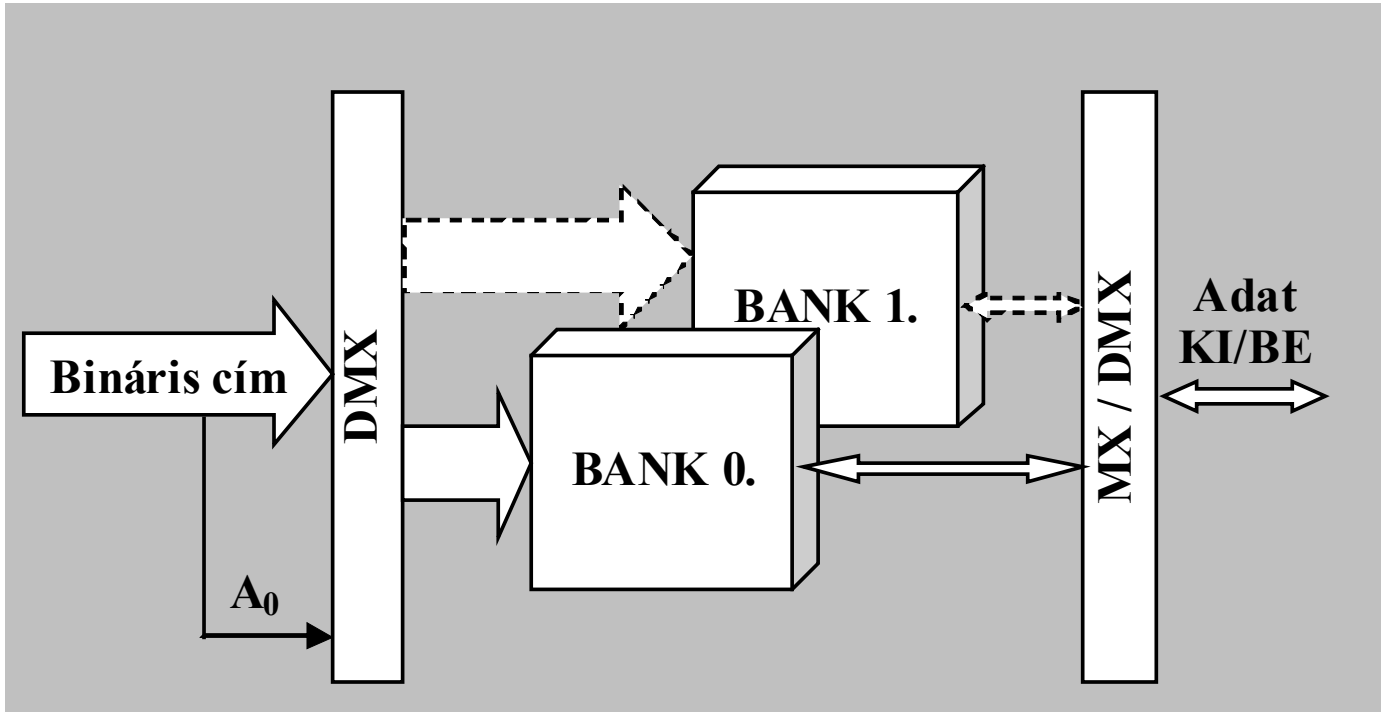
Burst működés



Pl. SB SRAM (Synchronous Burst SRAM)

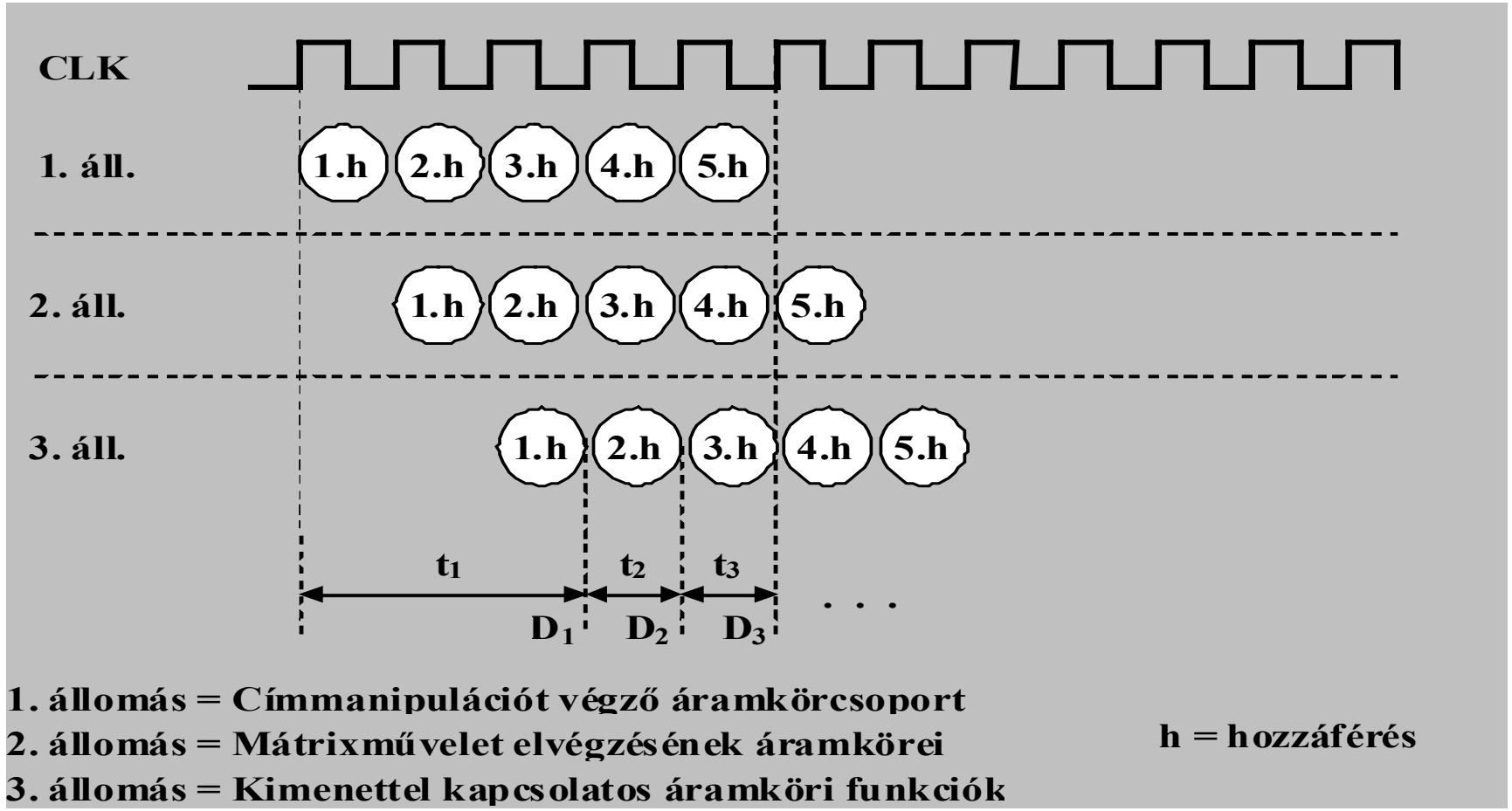
Automatikus címnövelés számláló segítségével (alsó 2 bit)→ 4 szavas BURST méret

Interleave működés



- Külön címezhető az egyik és a másik bank (A_0)
- Párhuzamos működés (amíg az egyik címzése folyamatban, a másik már olvasható → látszólag megnő a sebesség
- Blokkos átvitel esetén hatékony (egyetlen adat elérése esetén nem gyorsít)

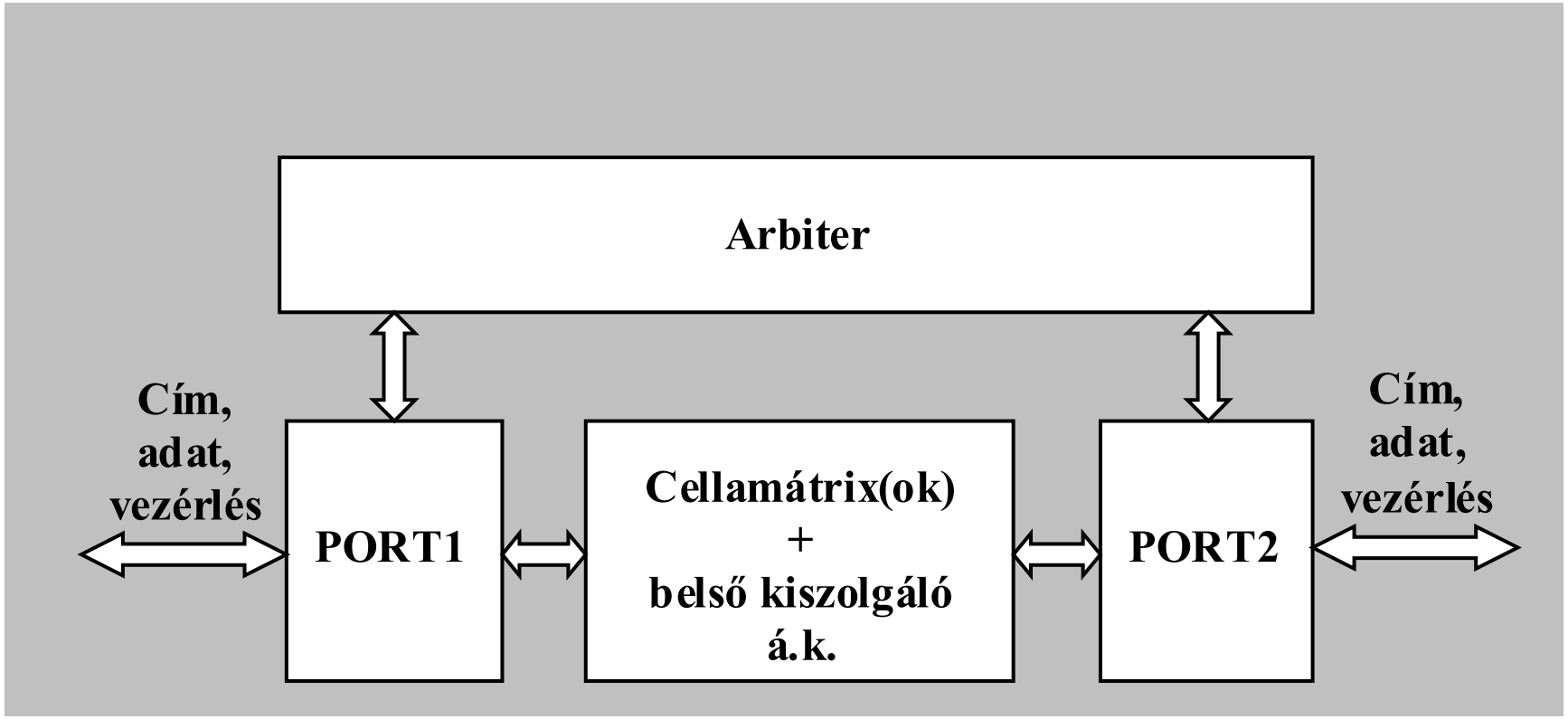
Pipeline működés



Pl. PB SRAM (Pipeline Burst SRAM)

Az adat kiolvasásának elemi műveleteit egy időben több részegyég végzi.

Dual-Port működés

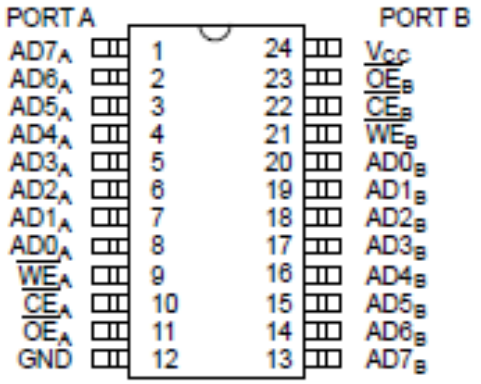


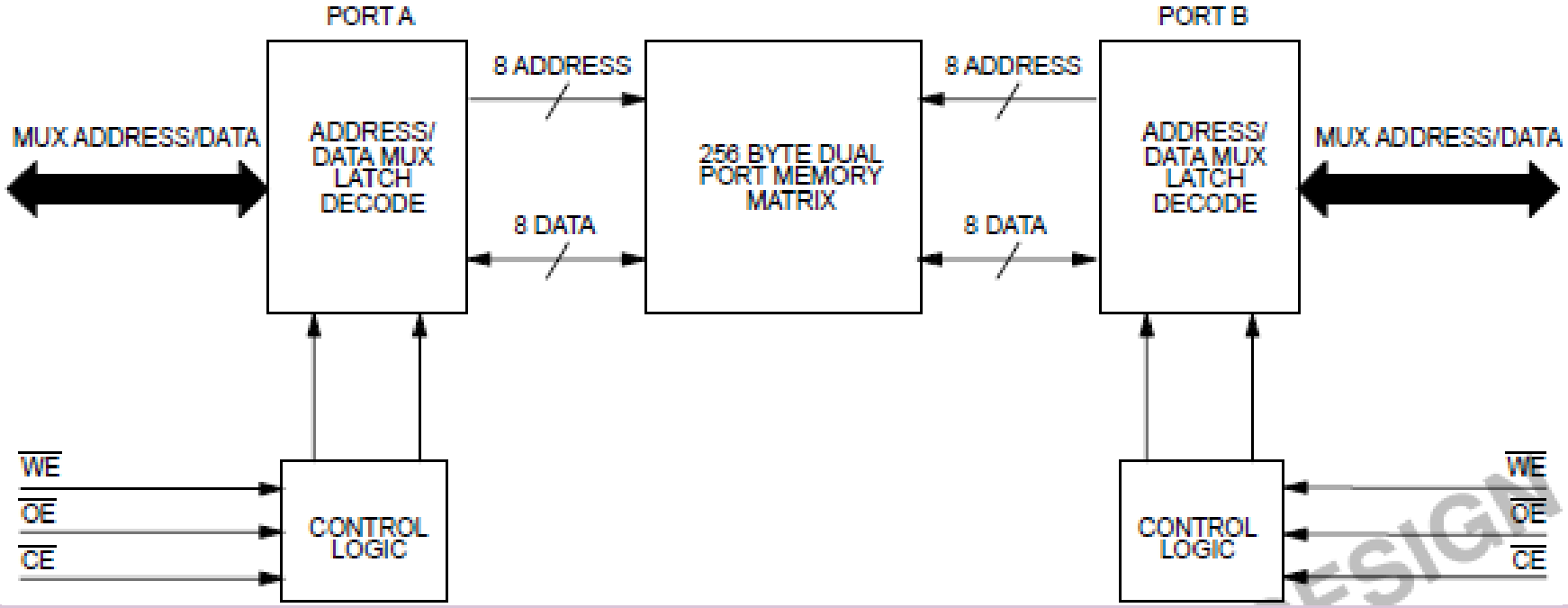
Két egyenértékű interfész, bármelyikről elérhető a belső memória.

Ha egyidőben mindkét oldalról el kellene érni, akkor az Arbiter egység dönt a sorrendről.

DUAL-PORT memória

- Bitcellánként megkettőzött interfész is lehet!→ nincs szükség arbitrációra
- Természetesen egyidőben ugyananak a cellának az elérését meg kell oldani.



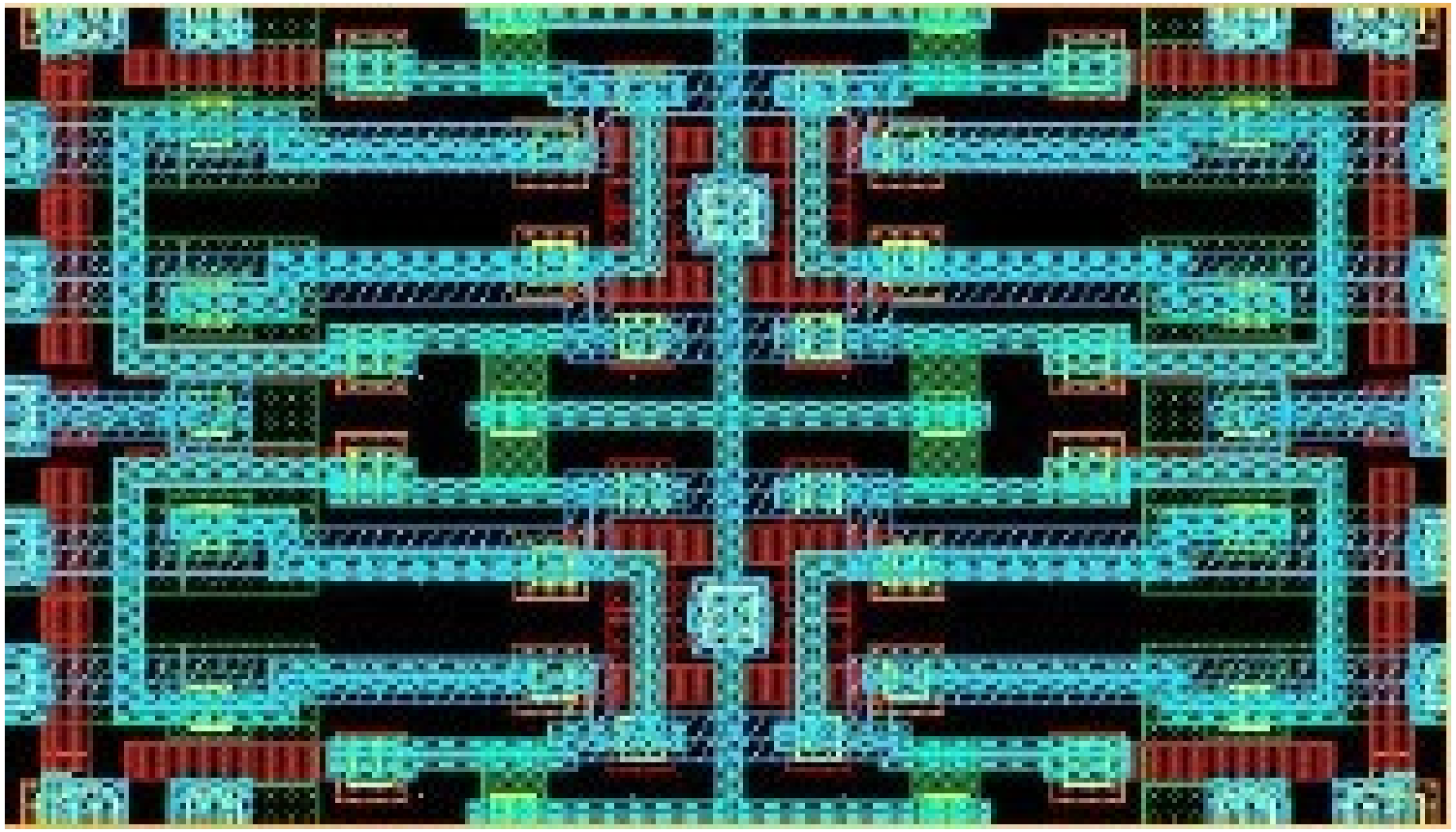


Dinamikus memória

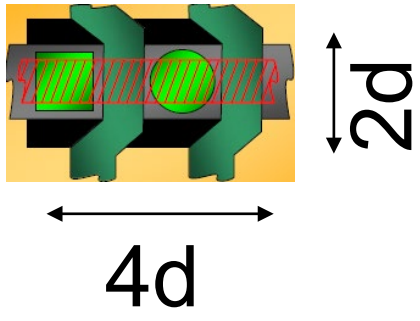
- A bináris információt (0/1) egy kapacitás töltöttsége határozza meg
- Hátrány: ez a kapacitás sajnos idővel veszít a töltéséből →frissíteni kell
- Előny: 1 bithez kevesebb alkatrész →nagyobb adatsűrűség
- Nagyobb kapacitás→ sok címbit →időmultiplex címzés

SRAM - DRAM

1 bitcella területe: 140 d^2

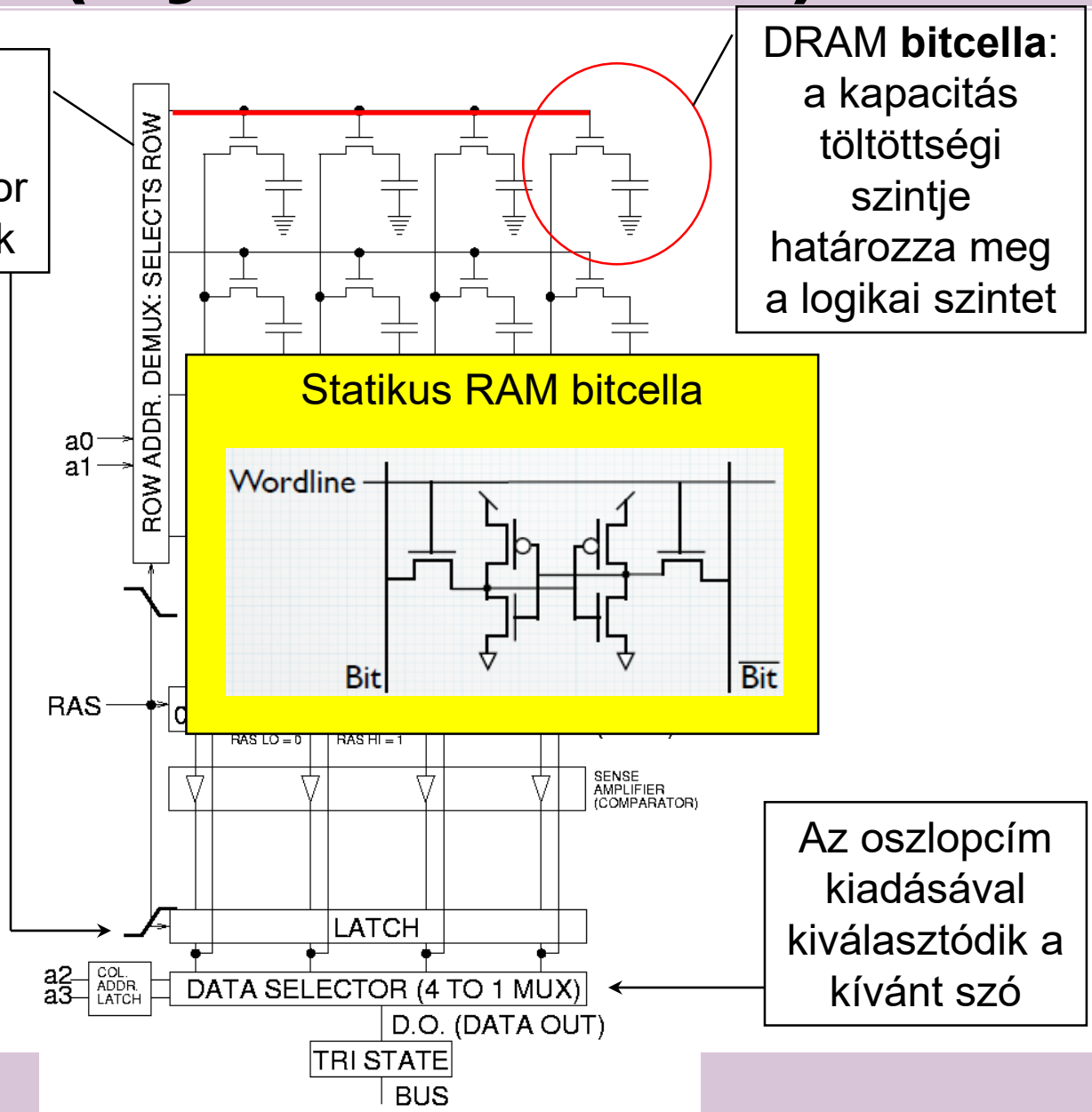


8 d^2

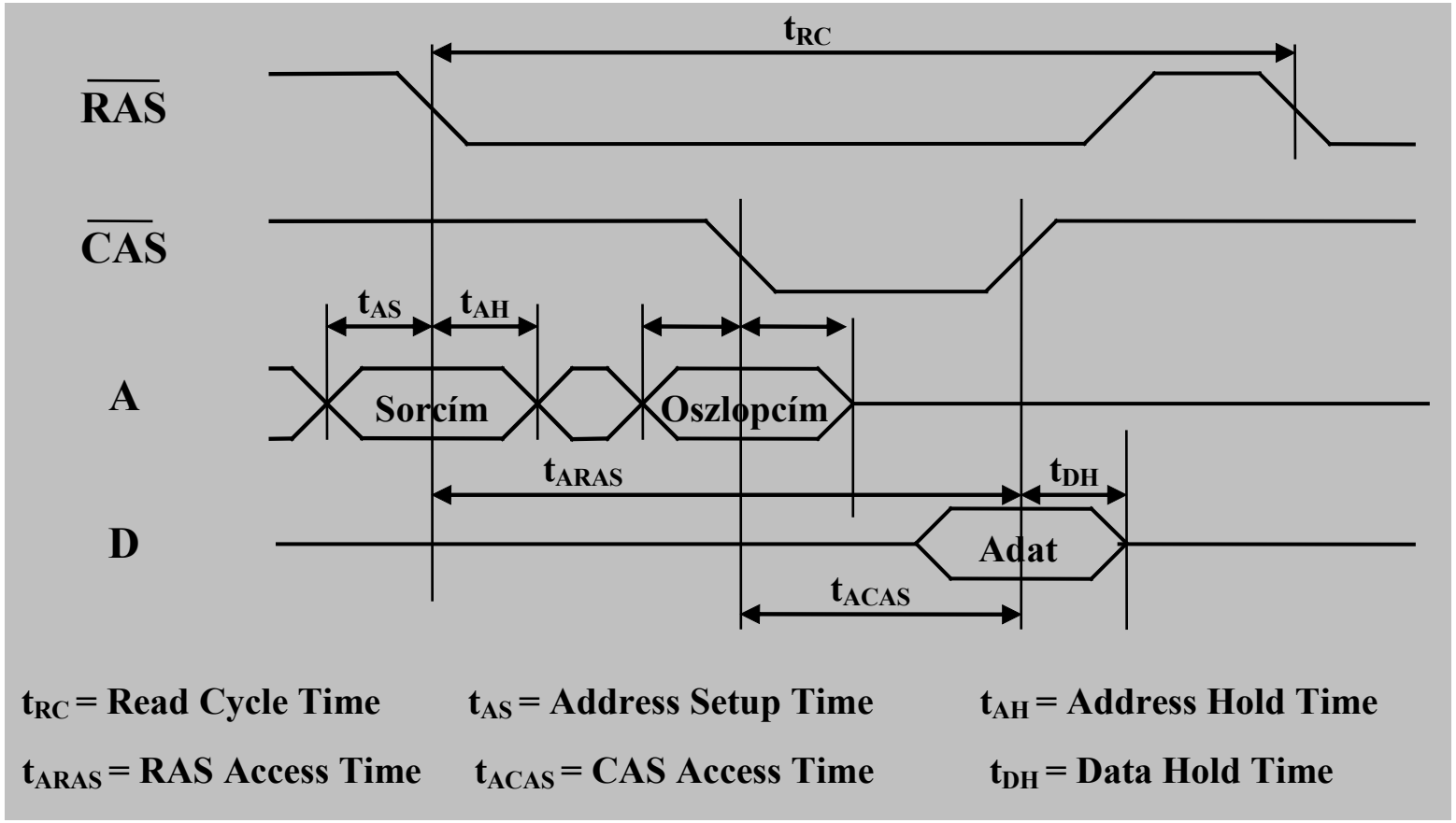


DRAM (Dynamic RAM)

- Előny: nagy cellasűrűség
- Hátrány: periódikus frissítési kényszer + multiplexált címzési mód → lassú
- Felhasználás: számítógépek fő memóriáját alkotják

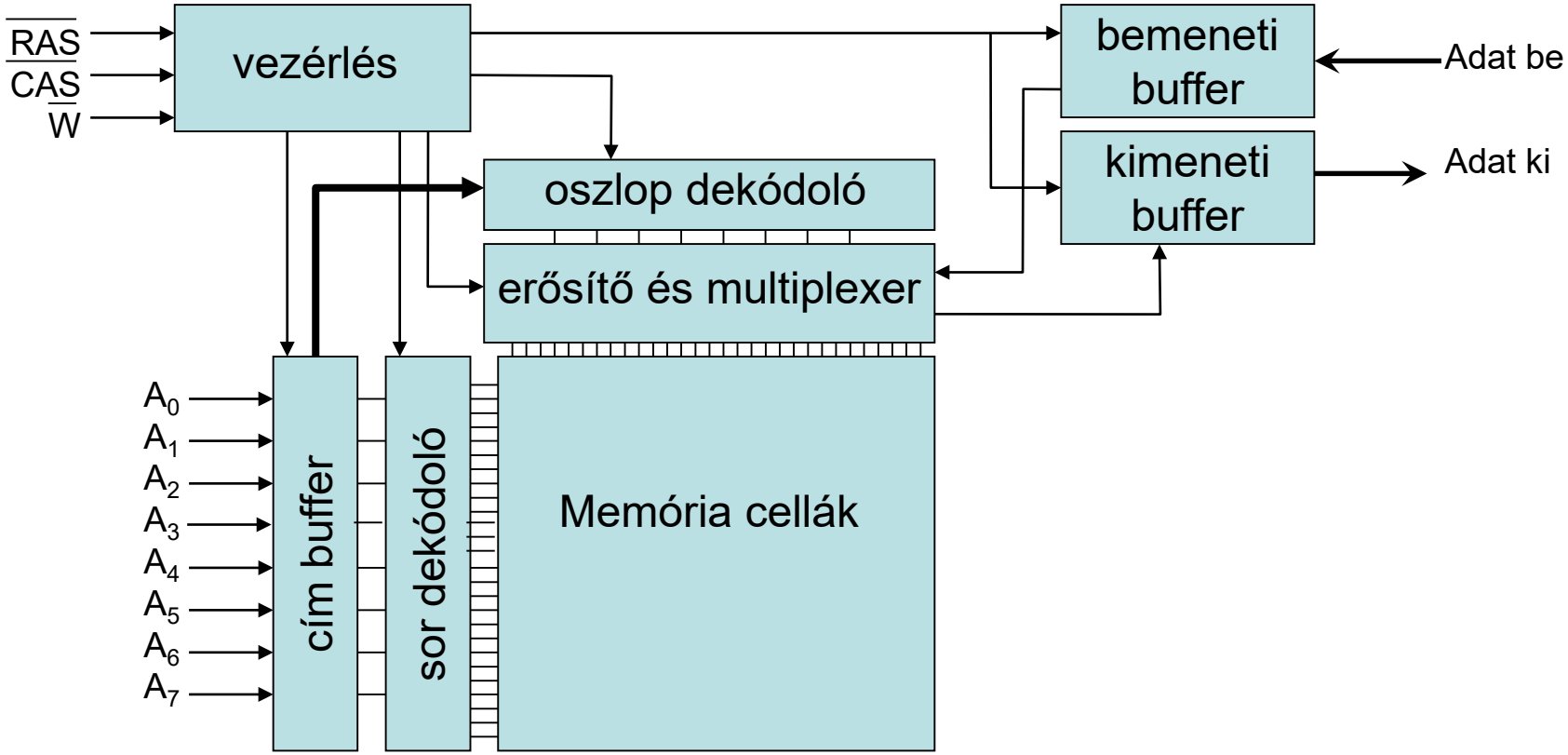


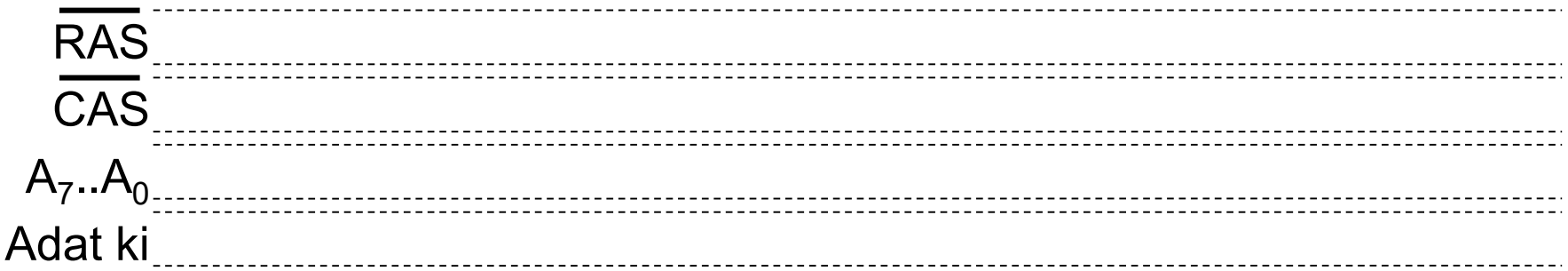
DRAM



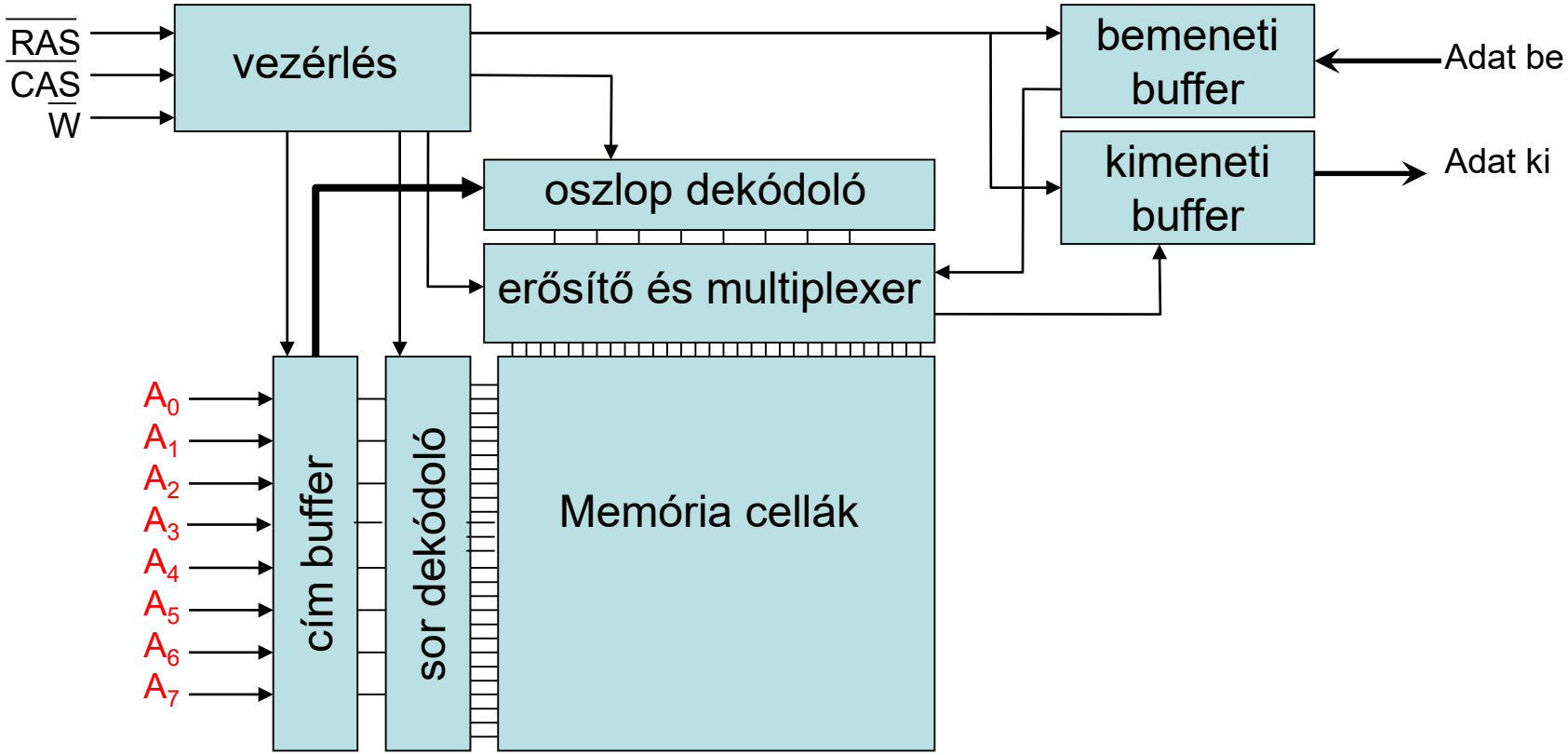
Nagy tárolókapacitás miatt a címzés 2 részletben, időben egymás után történik a sor- és oszlopcím multiplexálásával. (így kevesebb címláb kell)

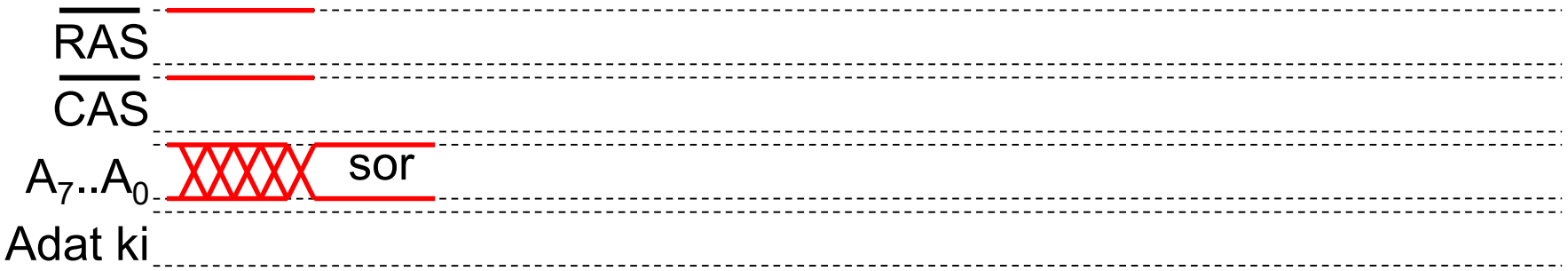
DRAM címzés


RAS
CAS
W
vezérlés
bemeneti buffer
Adat be
kimeneti buffer
Adat ki
oszlop dekódoló
erősítő és multiplexer
A0
A1
A2
A3
A4
A5
A6
A7
cím buffer
sor dekódoló
Memória cellák

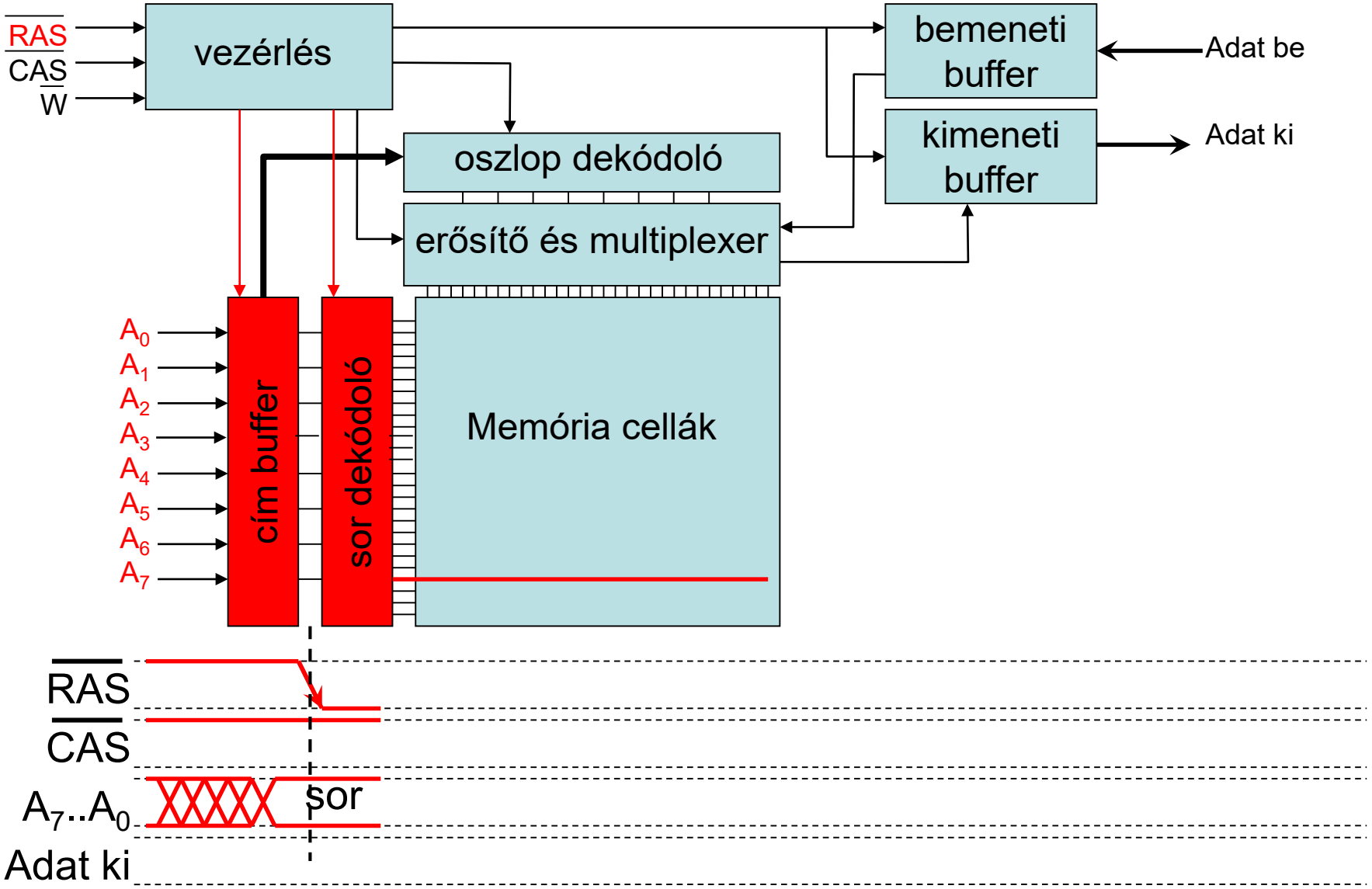

RAS
CAS
A7..A0
Adat ki

DRAM címzés

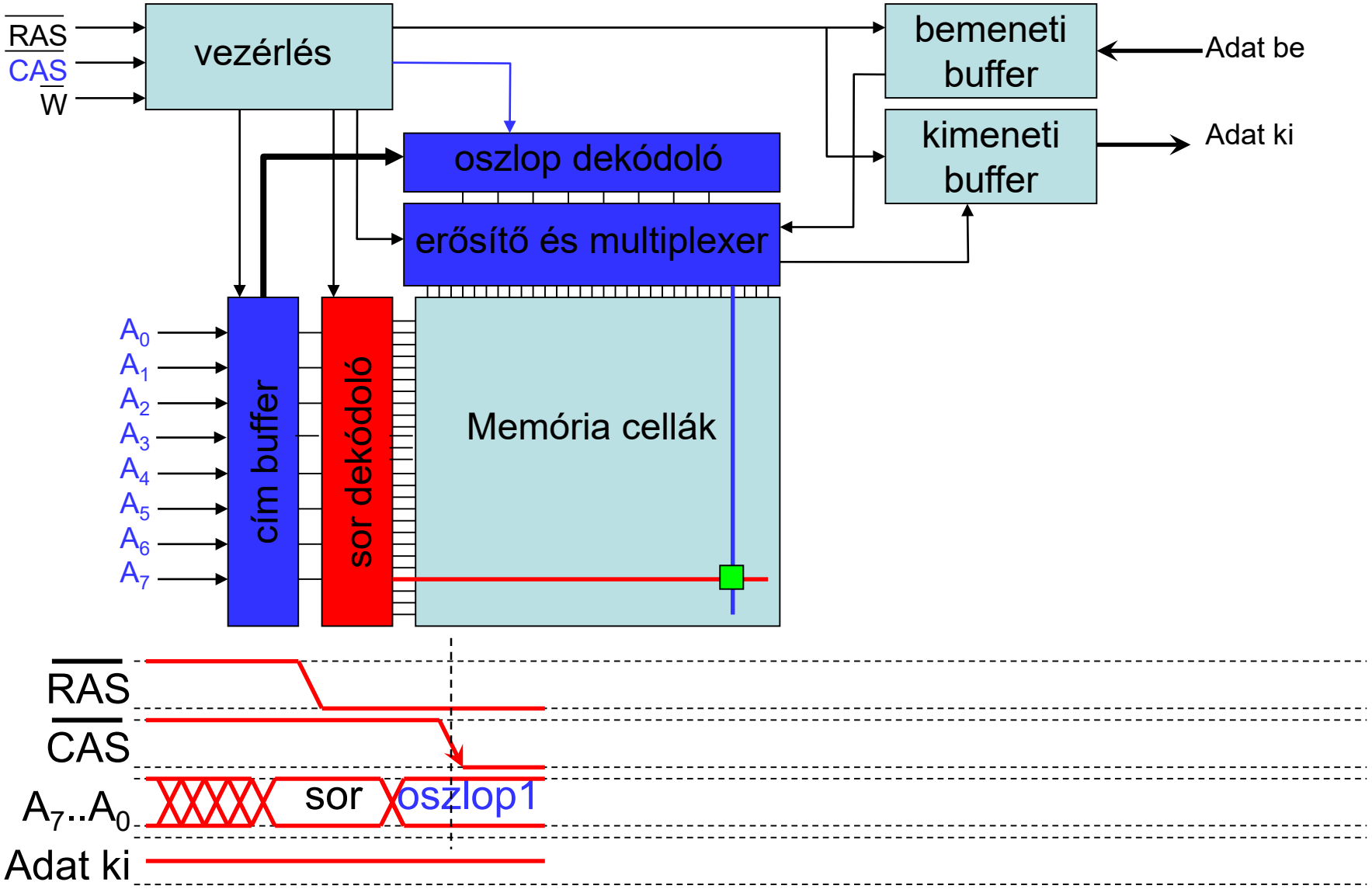

RAS
CAS
W
vezérlés
bemeneti buffer
Adat be
kimeneti buffer
Adat ki
oszlop dekódoló
erősítő és multiplexer
A0
A1
A2
A3
A4
A5
A6
A7
cím buffer
sor dekódoló
Memória cellák


RAS
CAS
A7..A0
sor
Adat ki

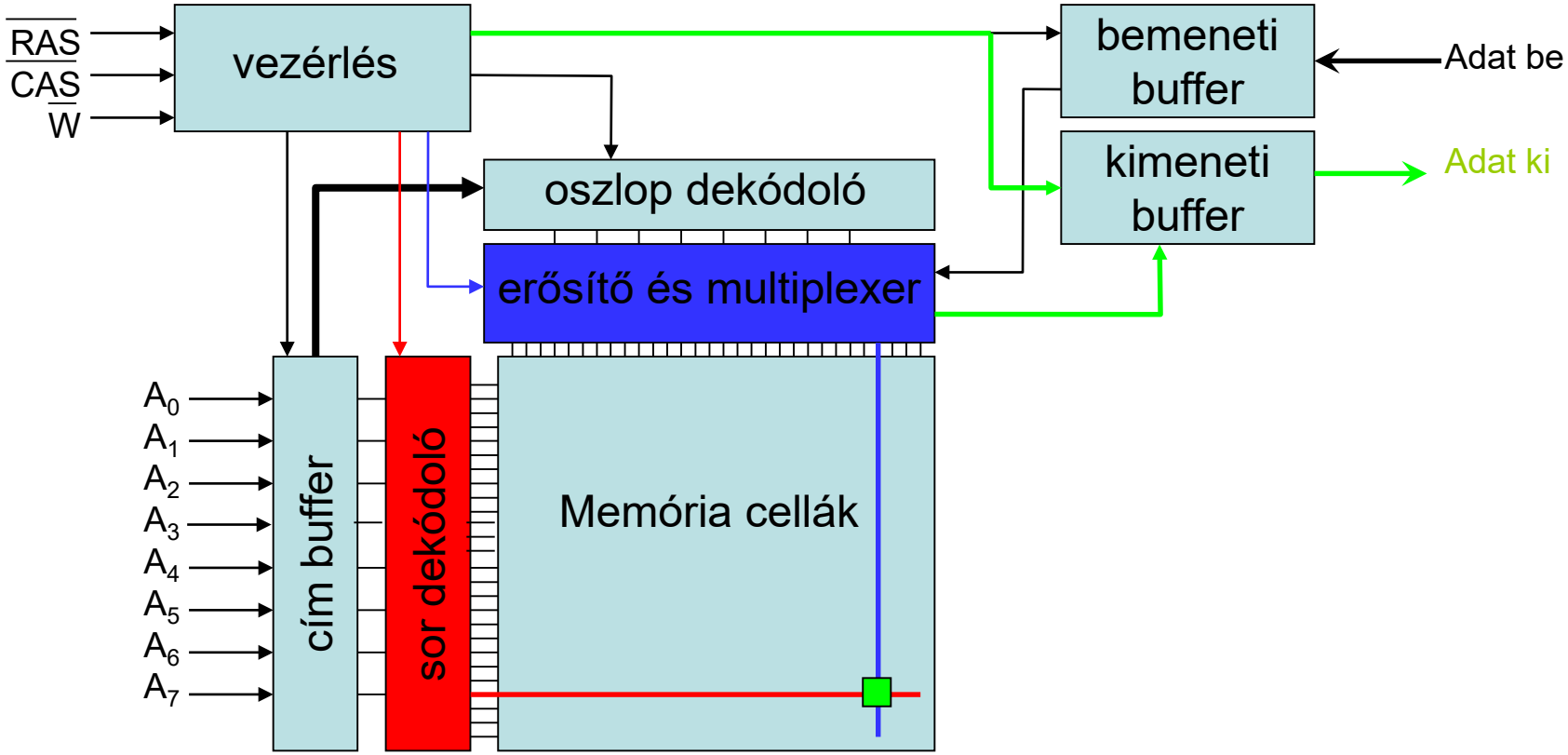
DRAM címzés


RAS
CAS
W
vezérlés
bemeneti buffer
Adat be
kimeneti buffer
Adat ki
oszlop dekódoló
erősítő és multiplexer
A0
A1
A2
A3
A4
A5
A6
A7
cím buffer
sor dekódoló
Memória cellák
RAS
CAS
A7..A0
sor
Adat ki

DRAM címzés

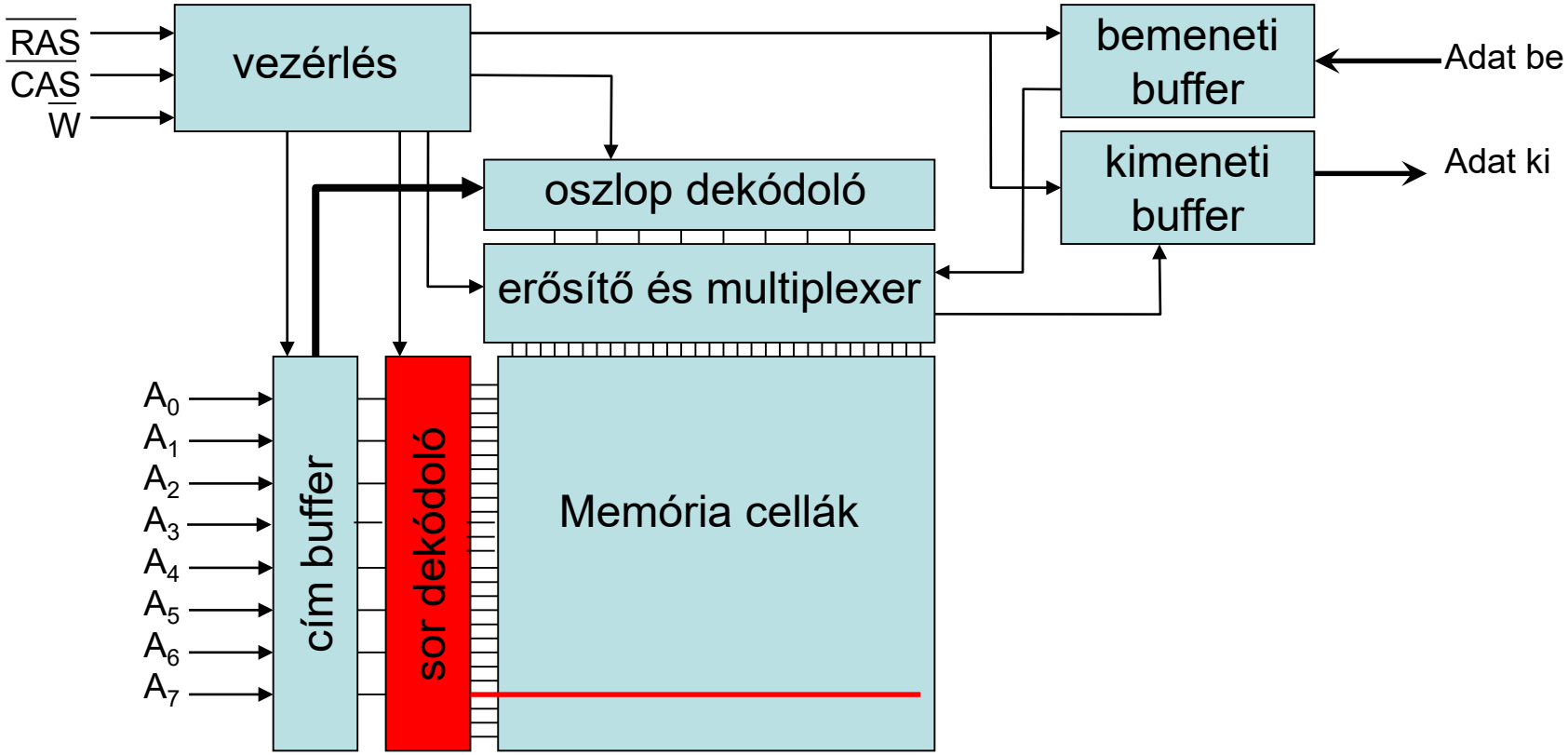

RAS
CAS
W
vezérlés
bemeneti buffer
Adat be
kimeneti buffer
Adat ki
oszlop dekódoló
erősítő és multiplexer
A0
A1
A2
A3
A4
A5
A6
A7
cím buffer
sor dekódoló
Memória cellák
RAS
CAS
A7..A0
sor
oszlop1
Adat ki

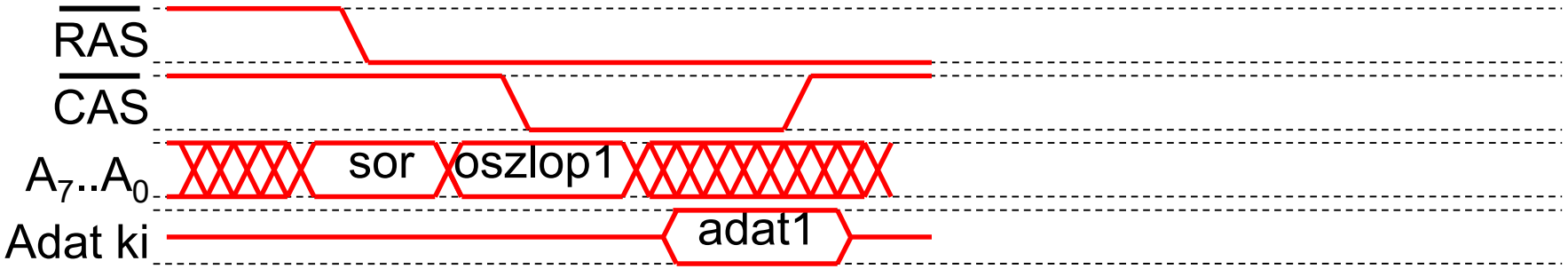
DRAM címzés


RAS
CAS
W
vezérlés
bemeneti buffer
Adat be
kimeneti buffer
Adat ki
oszlop dekódoló
erősítő és multiplexer
A0
A1
A2
A3
A4
A5
A6
A7
cím buffer
sor dekódoló
Memória cellák

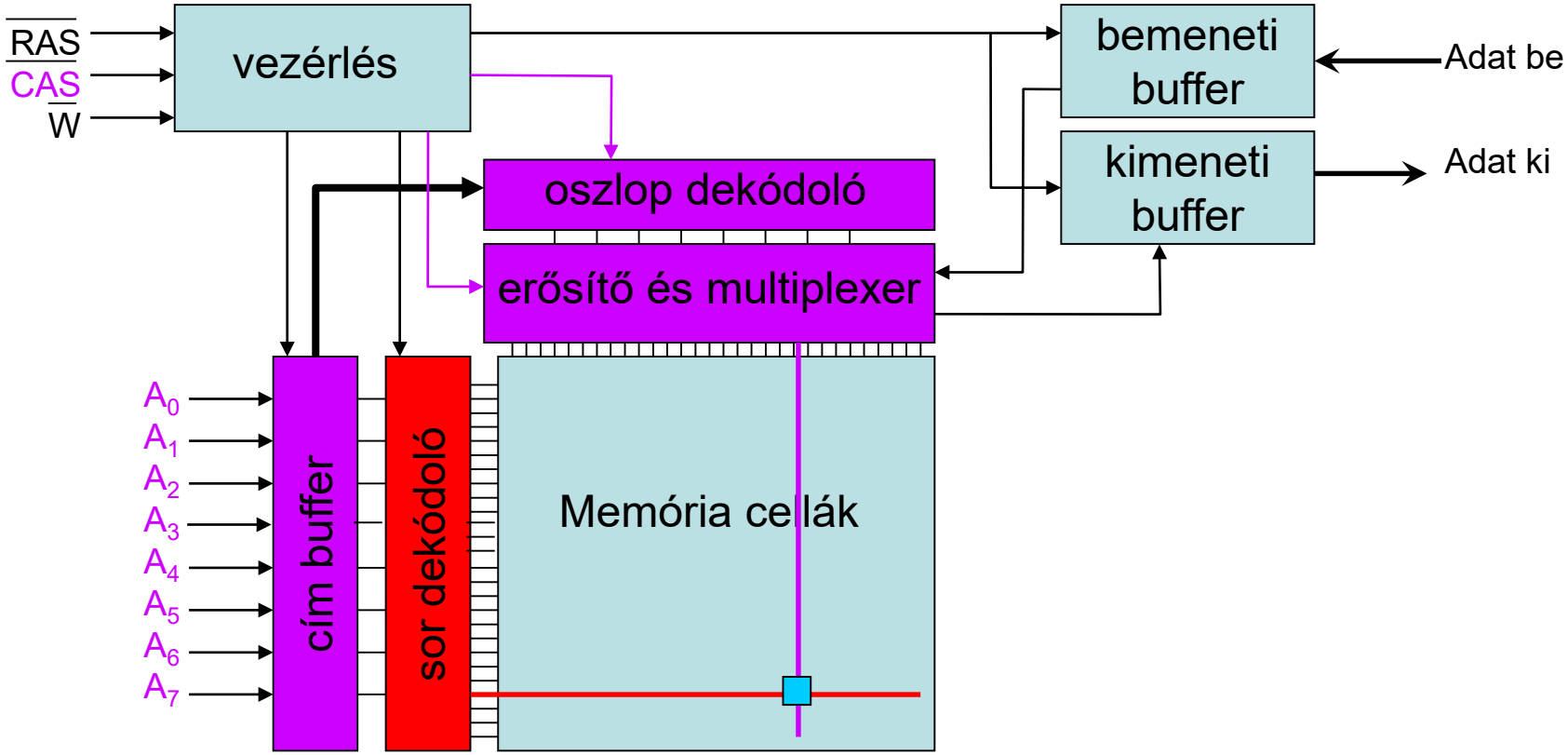
RAS
CAS
A7..A0
sor
oszlop1
Adat ki
adat1

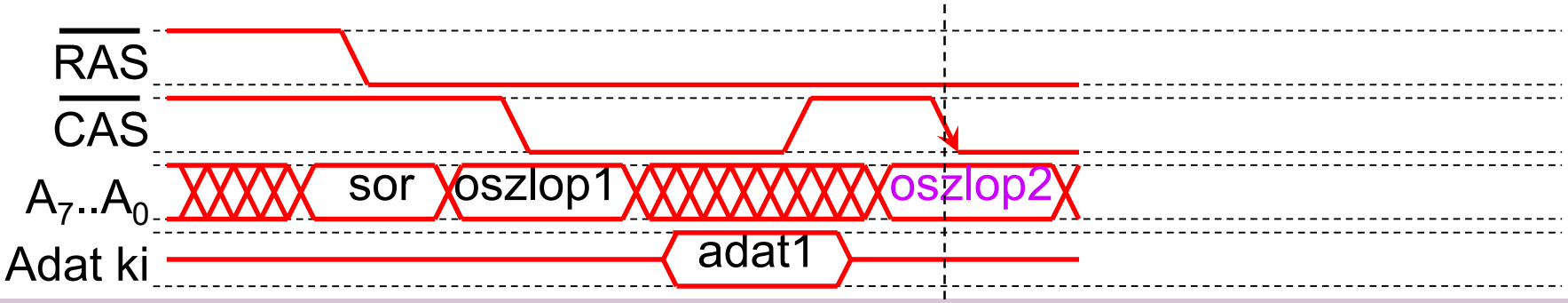
DRAM címzés


RAS
CAS
W
vezérlés
bemeneti buffer
Adat be
kimeneti buffer
Adat ki
oszlop dekódoló
erősítő és multiplexer
A0
A1
A2
A3
A4
A5
A6
A7
cím buffer
sor dekódoló
Memória cellák

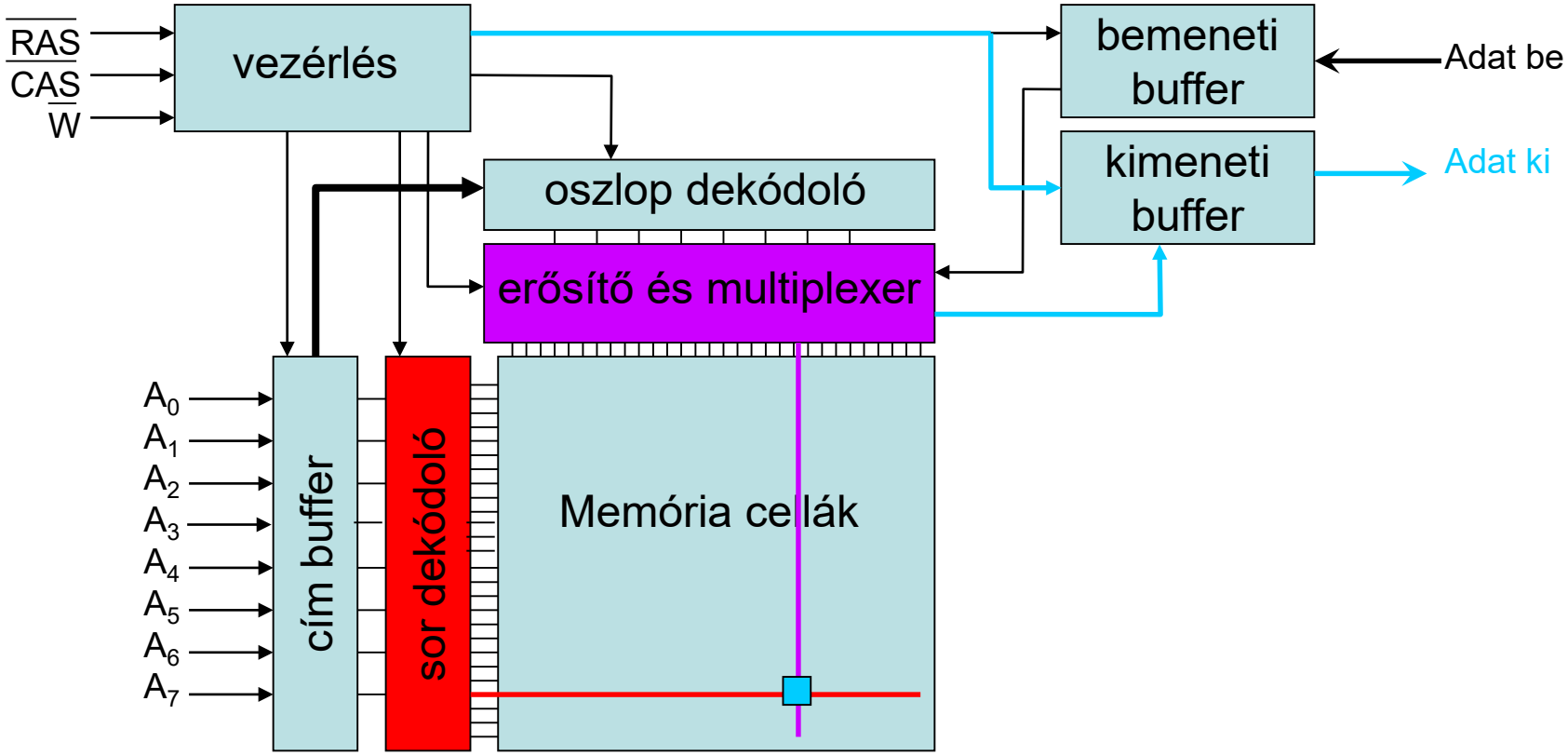

RAS
CAS
A7..A0
sor
oszlop1
Adat ki
adat1

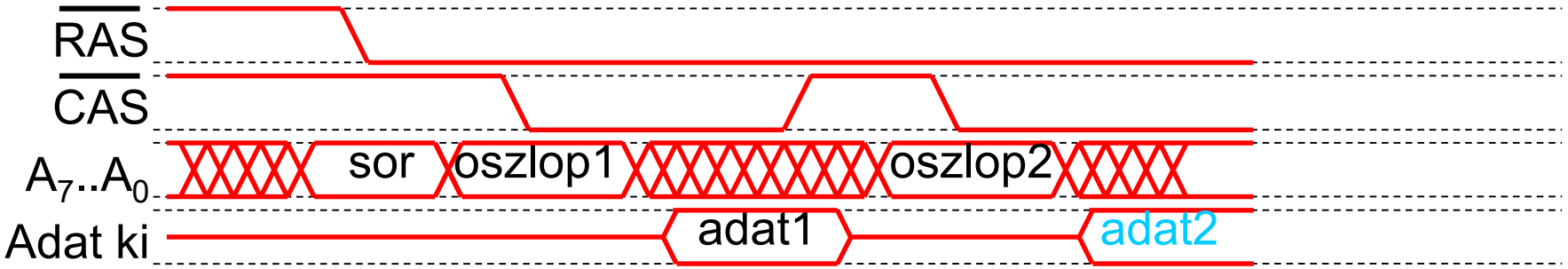
DRAM címzés


RAS
CAS
W
vezérlés
bemeneti buffer
Adat be
kimeneti buffer
Adat ki
oszlop dekódoló
erősítő és multiplexer
A0
A1
A2
A3
A4
A5
A6
A7
cím buffer
sor dekódoló
Memória cellák

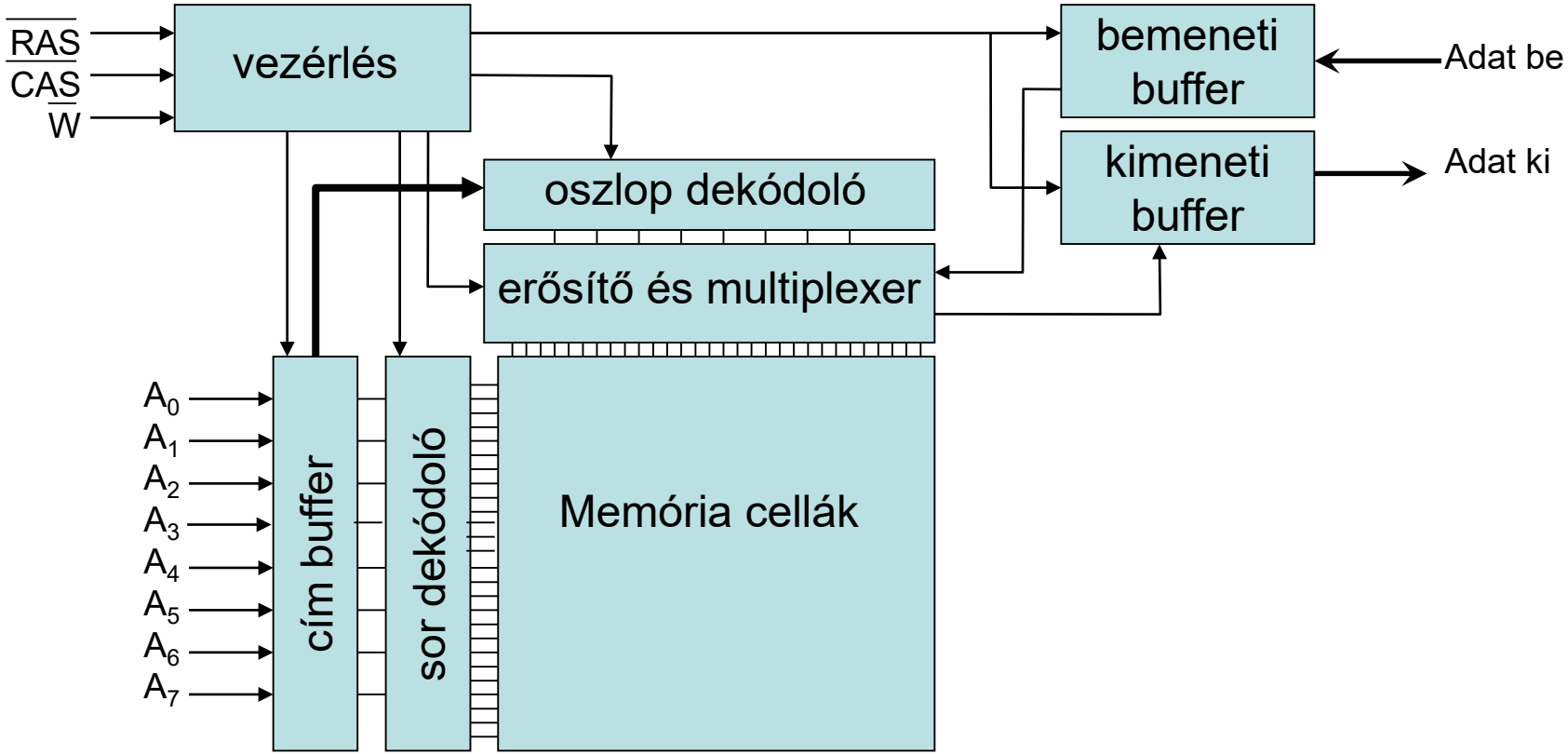

RAS
CAS
A7..A0
sor
oszlop1
oszlop2
Adat ki
adat1

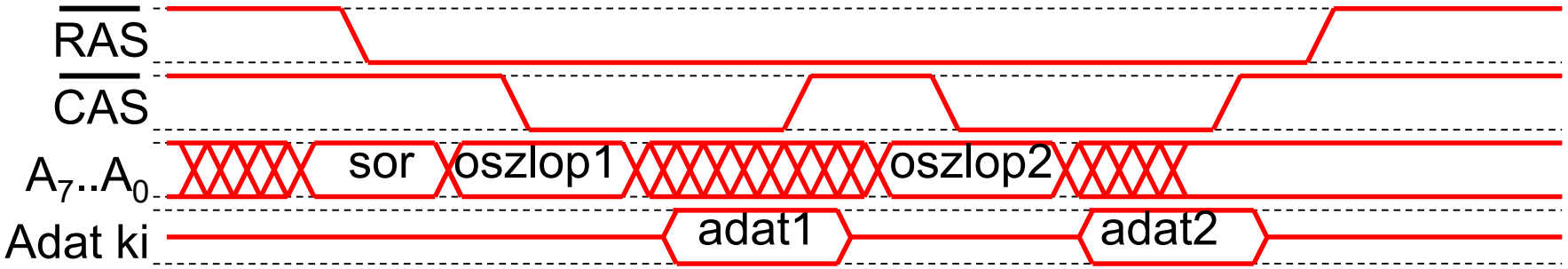
DRAM címzés


RAS
CAS
W
vezérlés
bemeneti buffer
Adat be
kimeneti buffer
Adat ki
oszlop dekódoló
erősítő és multiplexer
A0
A1
A2
A3
A4
A5
A6
A7
cím buffer
sor dekódoló
Memória cellák


RAS
CAS
A7..A0
sor
oszlop1
oszlop2
Adat ki
adat1
adat2

DRAM címzés


RAS
CAS
W
vezérlés
bemeneti buffer
Adat be
kimeneti buffer
Adat ki
oszlop dekódoló
erősítő és multiplexer
A0
A1
A2
A3
A4
A5
A6
A7
cím buffer
sor dekódoló
Memória cellák


RAS
CAS
A7..A0
sor
oszlop1
oszlop2
Adat ki
adat1
adat2

Frissítés - 1

- Sorcím megadása elegendő
- Nem kell kiolvasni a megcímzett adatot
- Adott frissítési időn belül minden sort ki kell tudni jelölni
- Tipikus frissítési idők: 1ms…64ms
- Pl: 8ms frissítési idő és 256 sor esetén
- Frissítési intervallum: 8ms/256 = 31.25μs

Frissítés - 2

- Frissítés számláló a sorcím generálásához
- Frissítés egyszerre vagy időben elosztva
- RAS → külső sorcím generálás
- CBR (CAS before RAS) → belső sorcím gen.
- Rejtett frissítés (CBR továbbfejlesztése, kisebb fogyasztás, mert a sínt nem kell cím hajtásra vezérelni)

- (SLEEP mód (hibernáláskor) csak a legkorszerűbbeknél)

DRAM típusok

- FPM RAM (Fast Page Mode DRAM)
- EDO RAM (Extended Data Out DRAM)
- BEDO RAM (Burst EDO RAM)
- PBEDO RAM (Pipelined BEDO RAM)
- SDRAM (Synchronous DRAM)
- DDR SDRAM (Double Data Rate SDRAM), DDR2, DDR3-4-5
- DRDRAM (Direct Rambus DRAM), XDR, XDR2

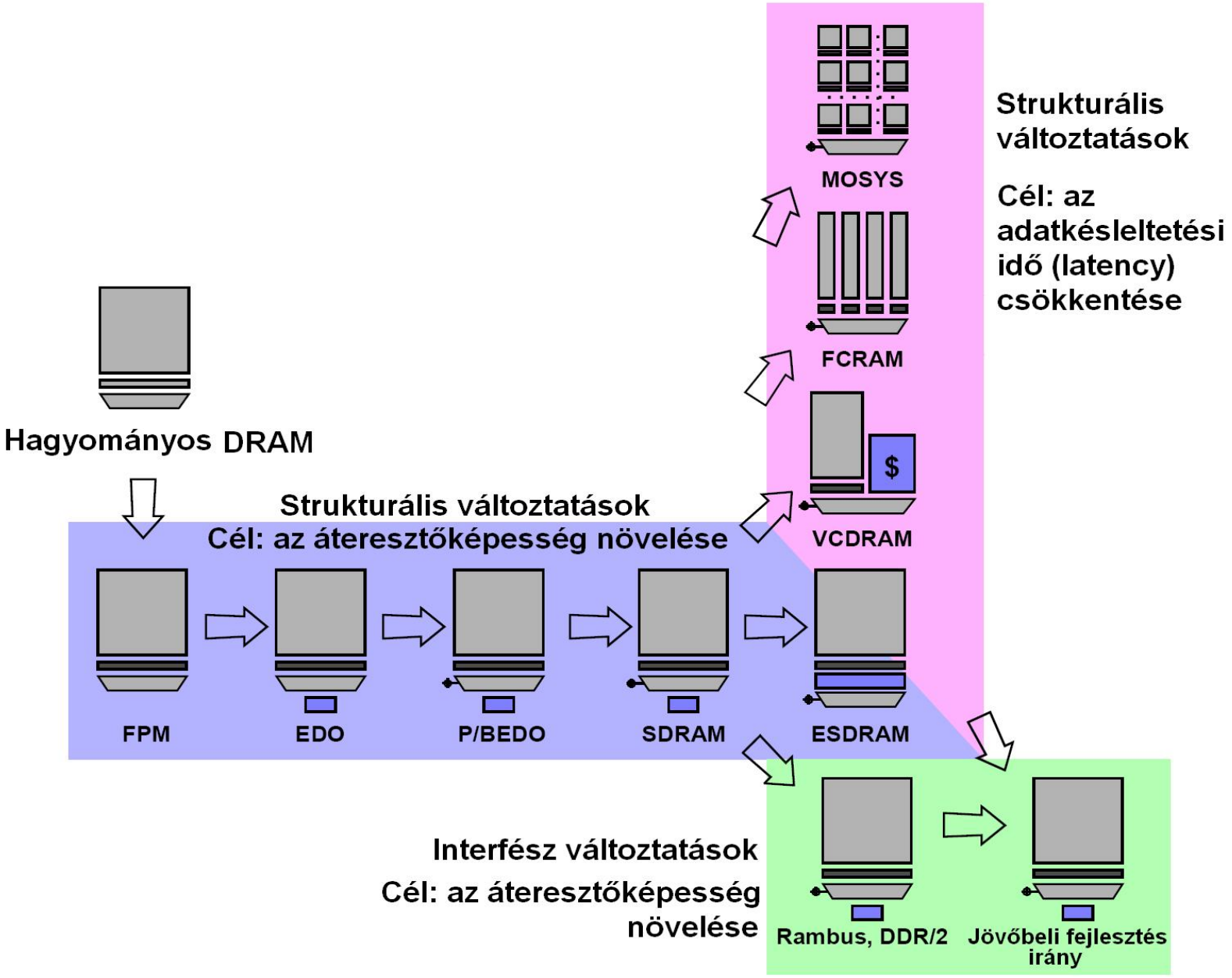
- PSRAM (Pseudostatic RAM)
- SGRAM (Synchronous Graphics RAM)

DRAM-ok fejlődése

Két lehetőség a sebesség növelésére:

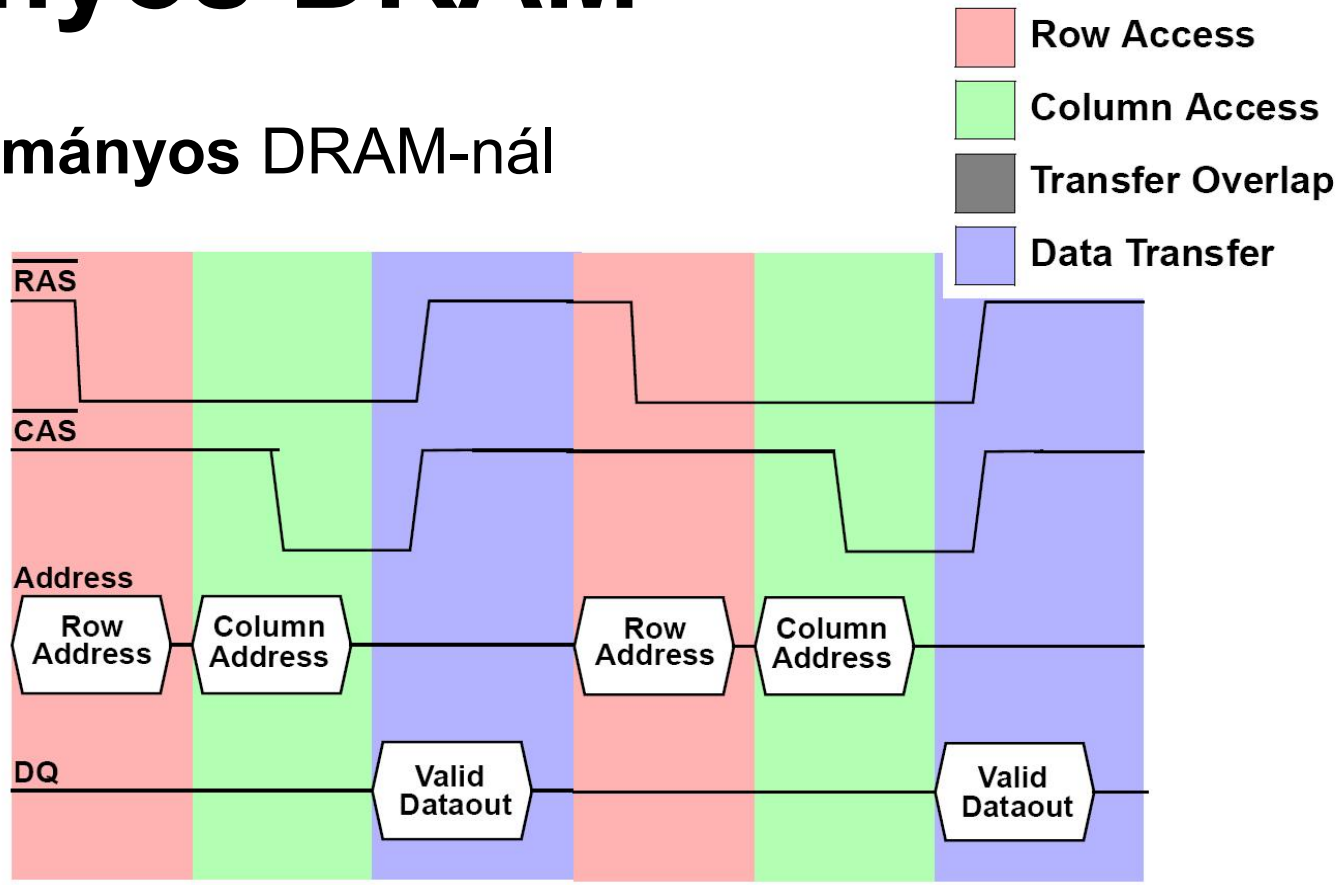
1. Adatelérési vagy lappangási idő (latency), azaz első adat kiolvasásának sebessége

2. Áteresztőképesség növelése, azaz adott idő alatt minél több adatot lehessen olvasni.



Hagyományos DRAM

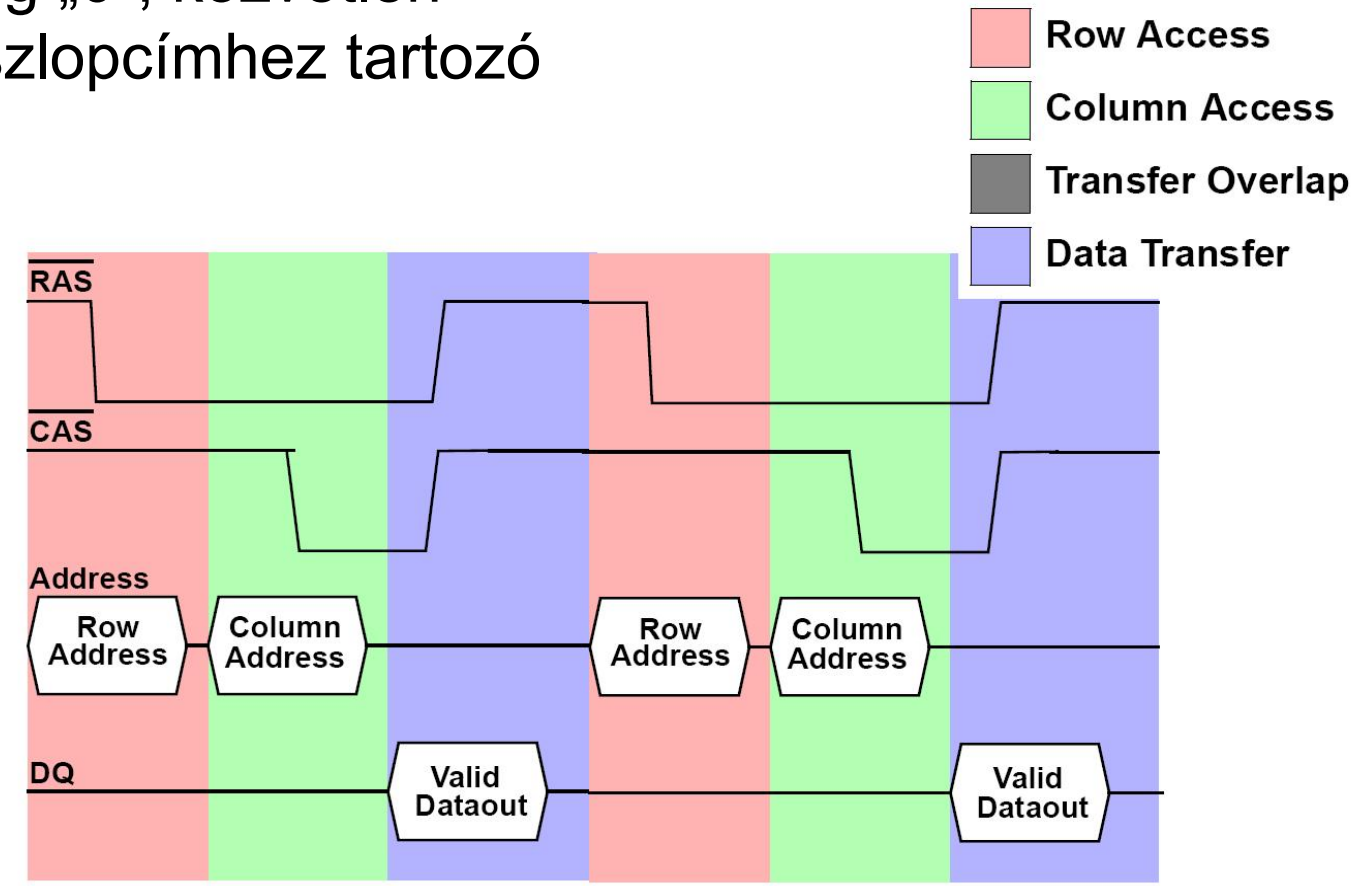
Olvasási ciklus egy **hagyományos** DRAM-nál



Minden egyes memóriarekesz eléréséhez ki kell adni a sorcímet + oszlopcímet

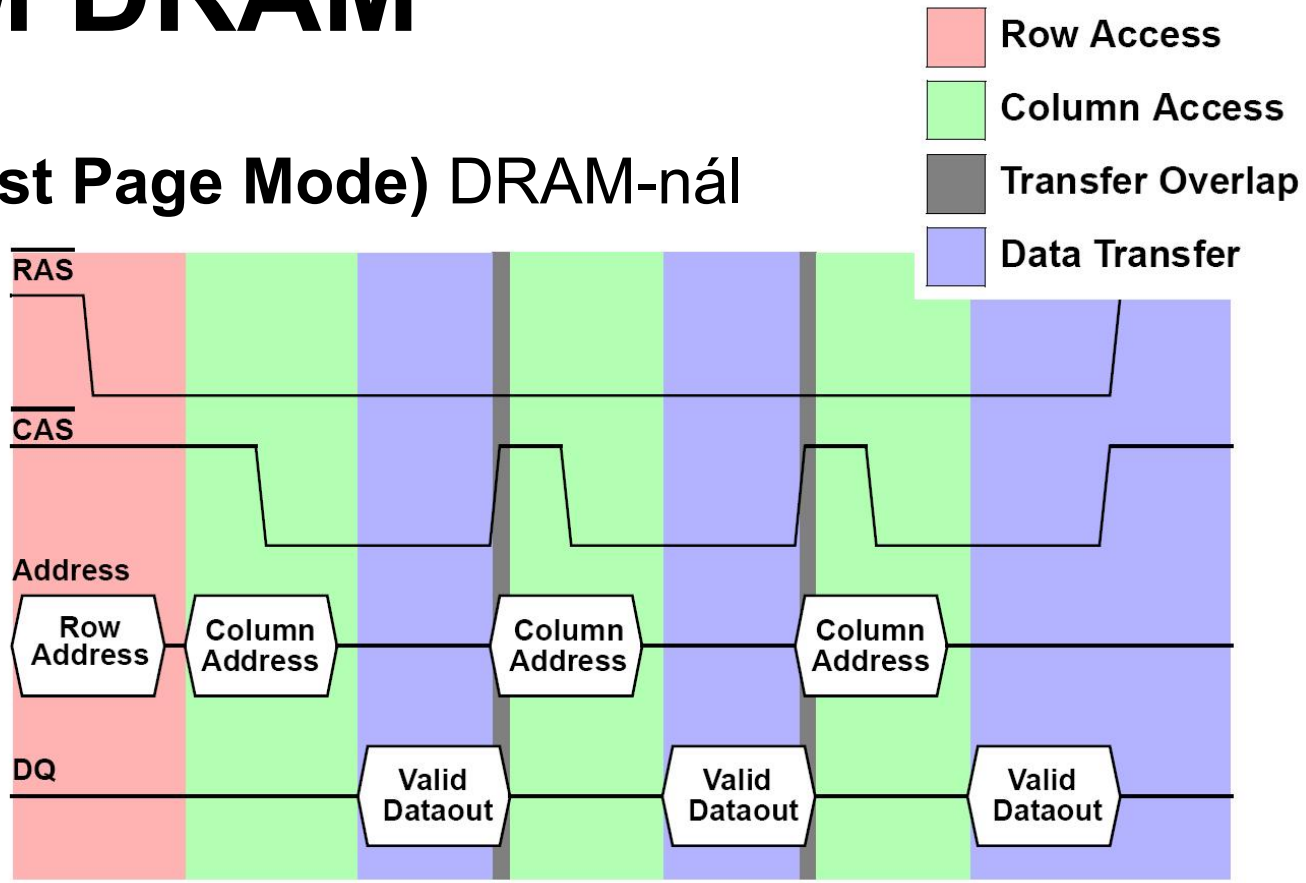
Kezdeti strukturális fejlesztések

- Azonos lapról olvasás esetén nem kell új sorcím
- Statikus oszlopmódszer (RAS jel végig „0”, közvetlen dekódolással választódnak ki az új oszlopcímhez tartozó adatok)
- Burst-hozzáférés



FPM DRAM

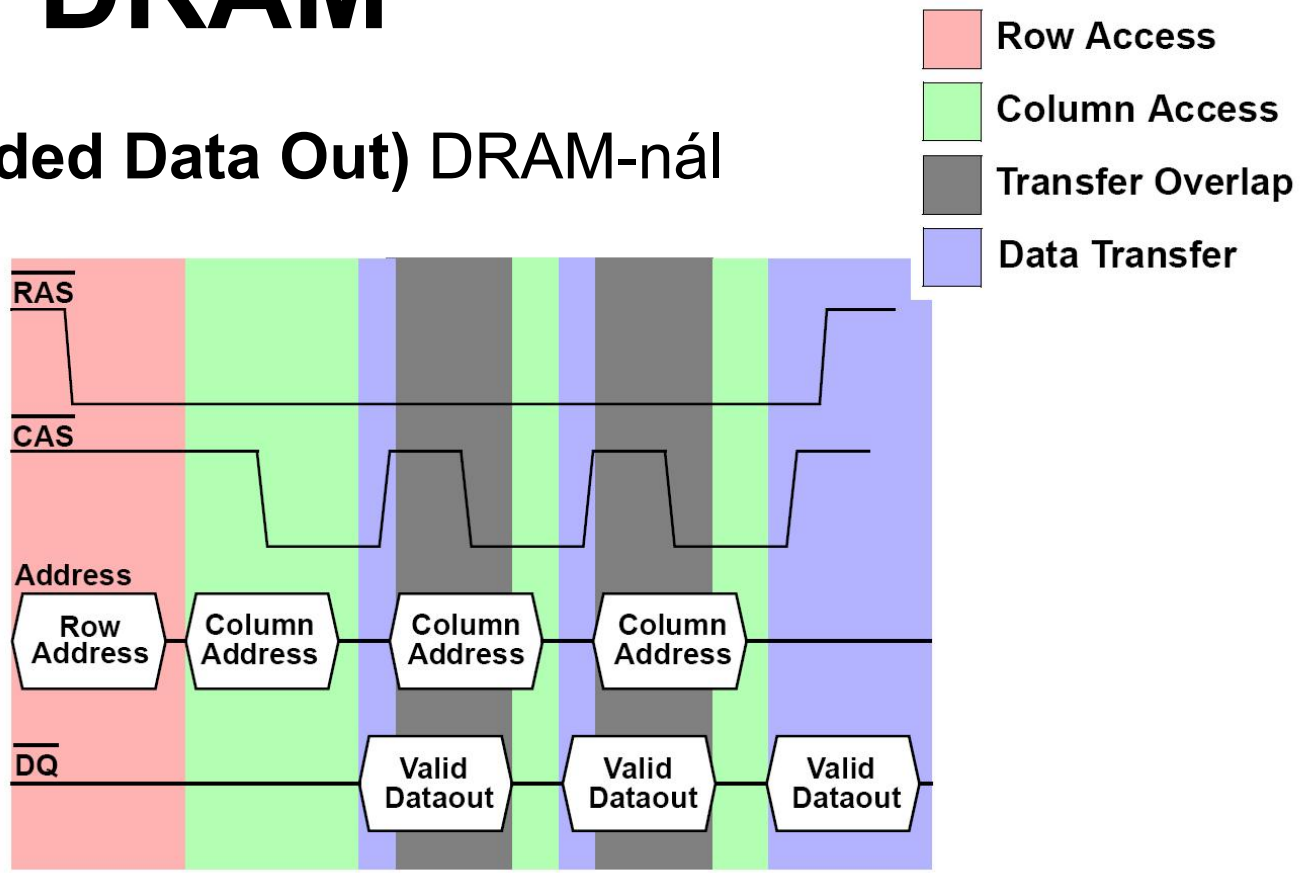
Olvasási ciklus **FPM (Fast Page Mode)** DRAM-nál



Gyorsított lapozású memória: a lapozásos technikát javították úgy, hogy a sor- és oszlopcímek kapuzási ideje aszimmetrikus az oszlopcím kapuzási idő javára → a 2., 3., … adat hozzáférési ideje rövidebb

EDO DRAM

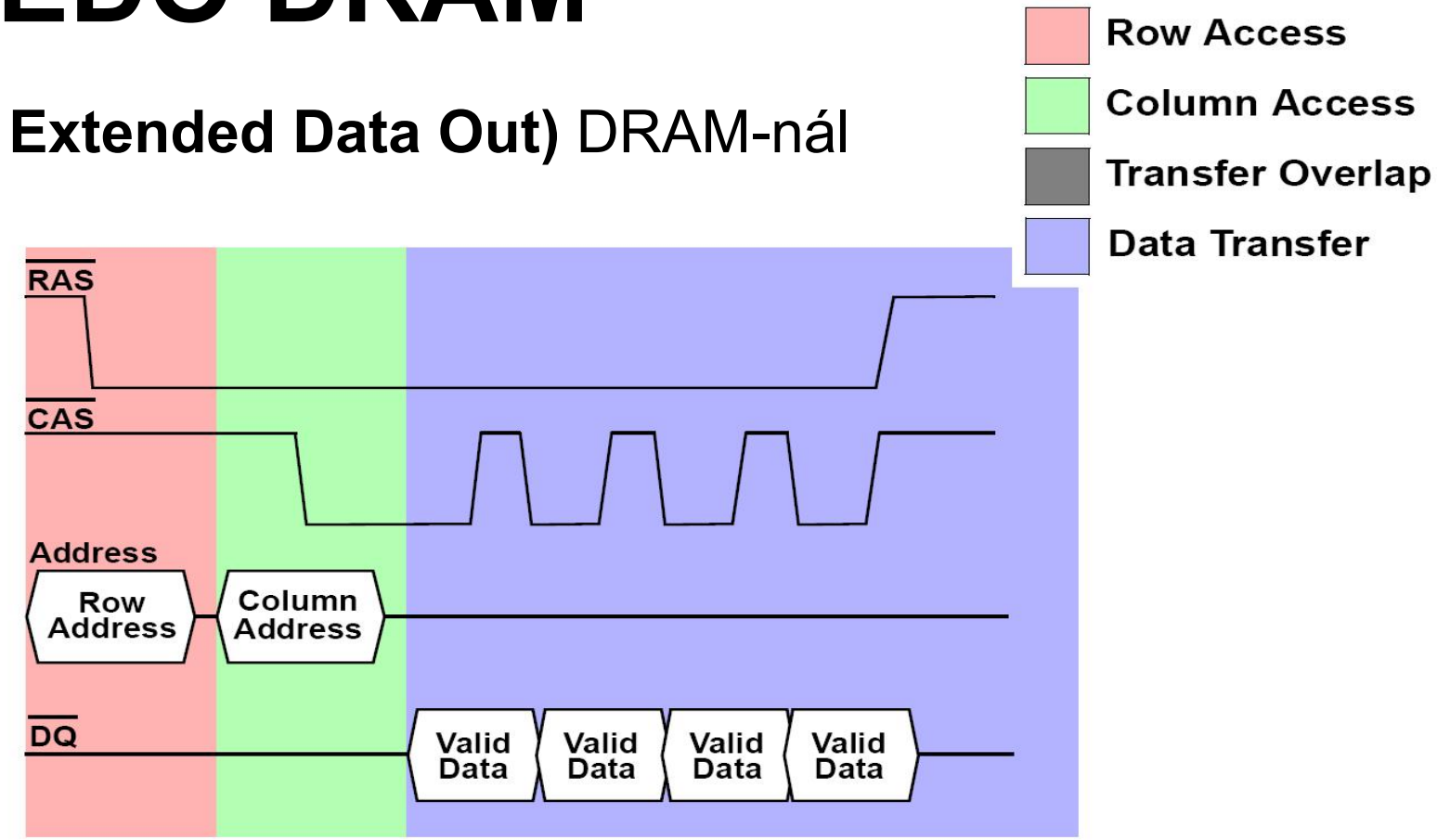
Olvasási ciklus **EDO (Extended Data Out)** DRAM-nál



Hasonló az FPM-hez, de a kimeneti adat-latch lehetővé teszi, hogy a következő oszlopcímet - az FPM-hez képest - korábban kiadhassuk

BEDO DRAM

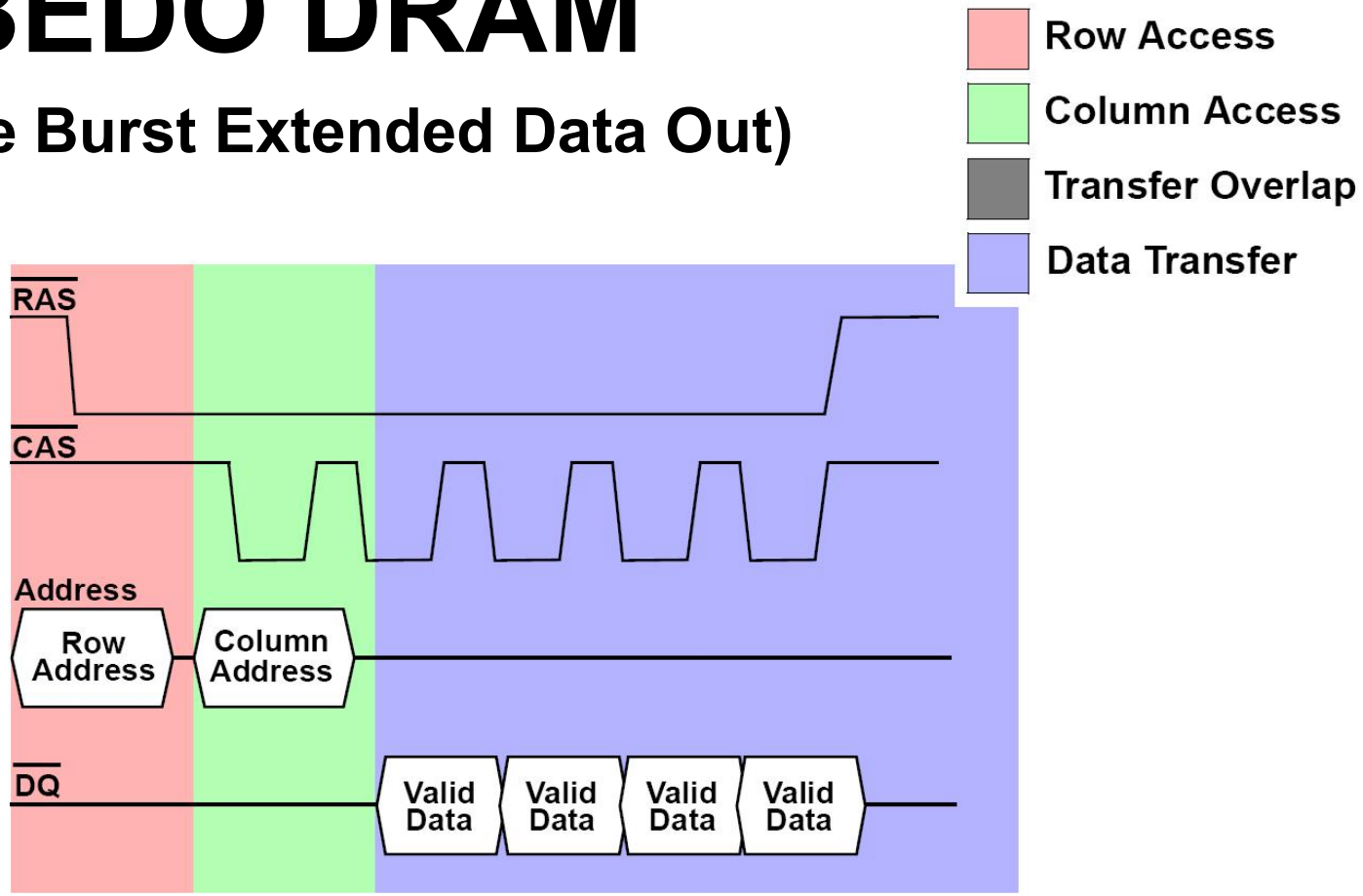
Olvasási ciklus **BEDO (Burst Extended Data Out)** DRAM-nál



Egy teljes memóriacím kiadása után a következő memóriarekeszek belső címgenerálással választódnak ki (szekvenciális kiolvasás)

PBEDO DRAM

Olvasási ciklus **PBEDO (Pipeline Burst Extended Data Out)** DRAM-nál

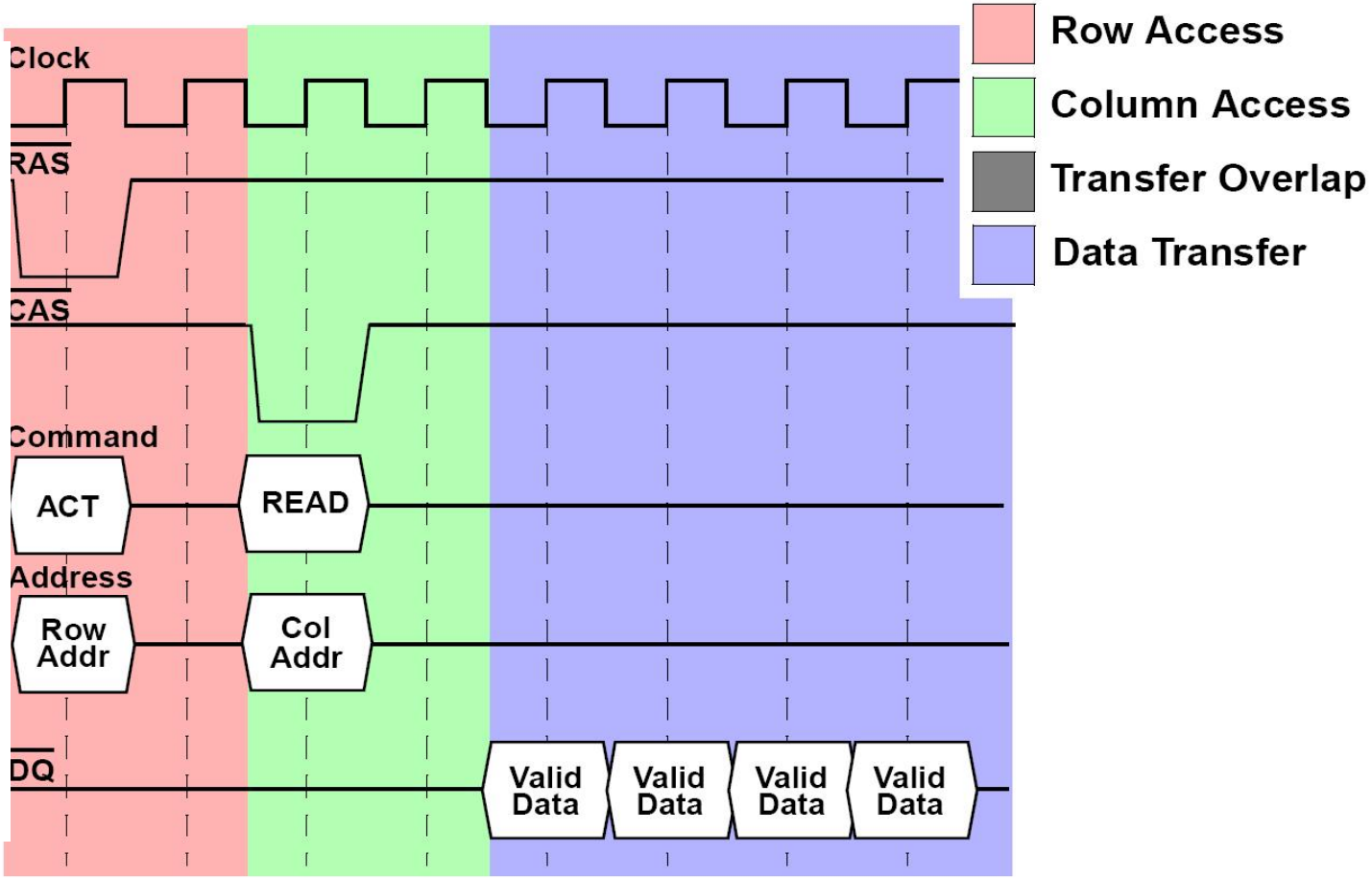


A pipeline működés miatt az oszlopcím kiadása után előbb megkezdődhet a belső címgenerálás folyamata

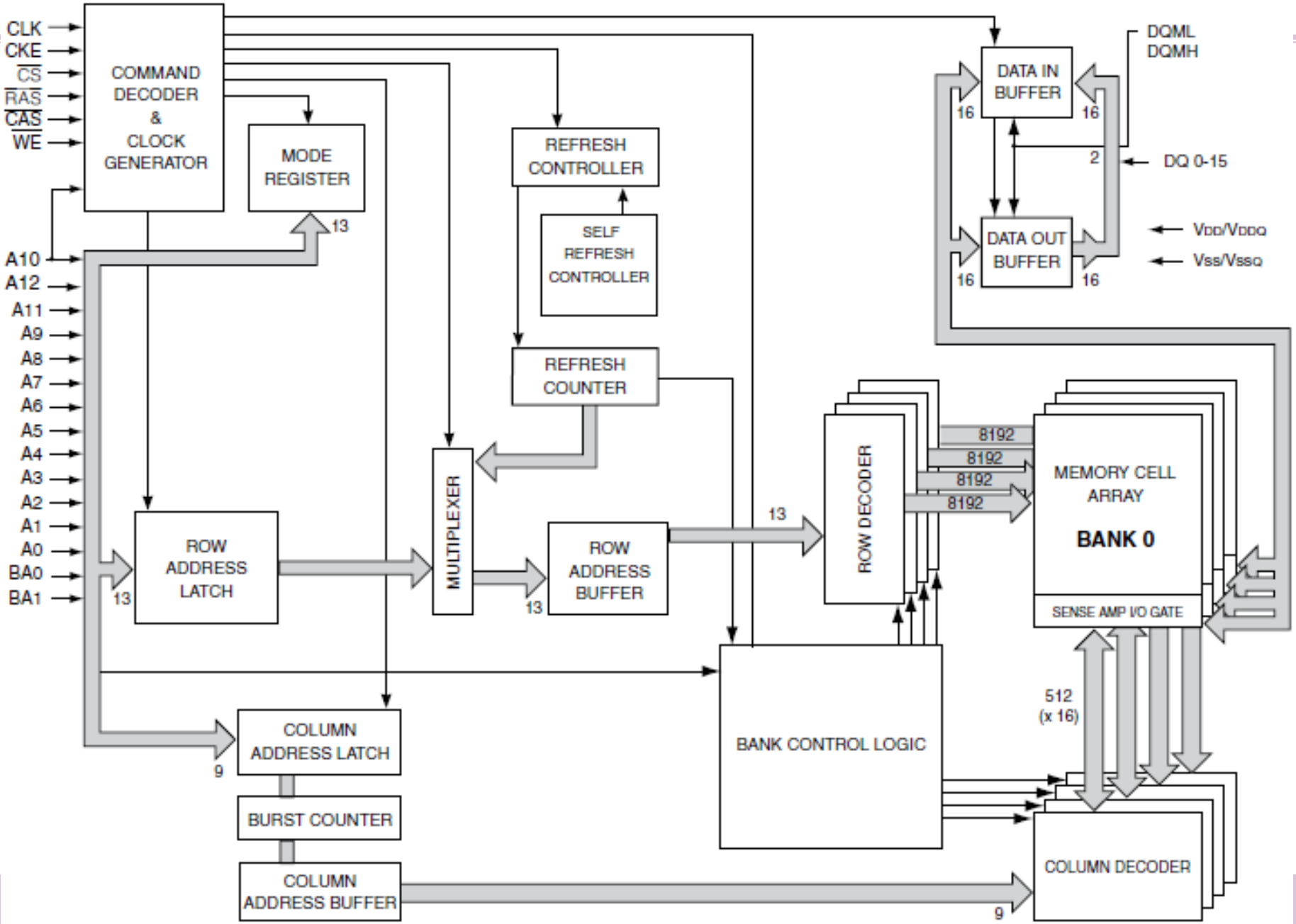
SDRAM

Olvasási ciklus **SDRAM (Synchronous DRAM)** - nál

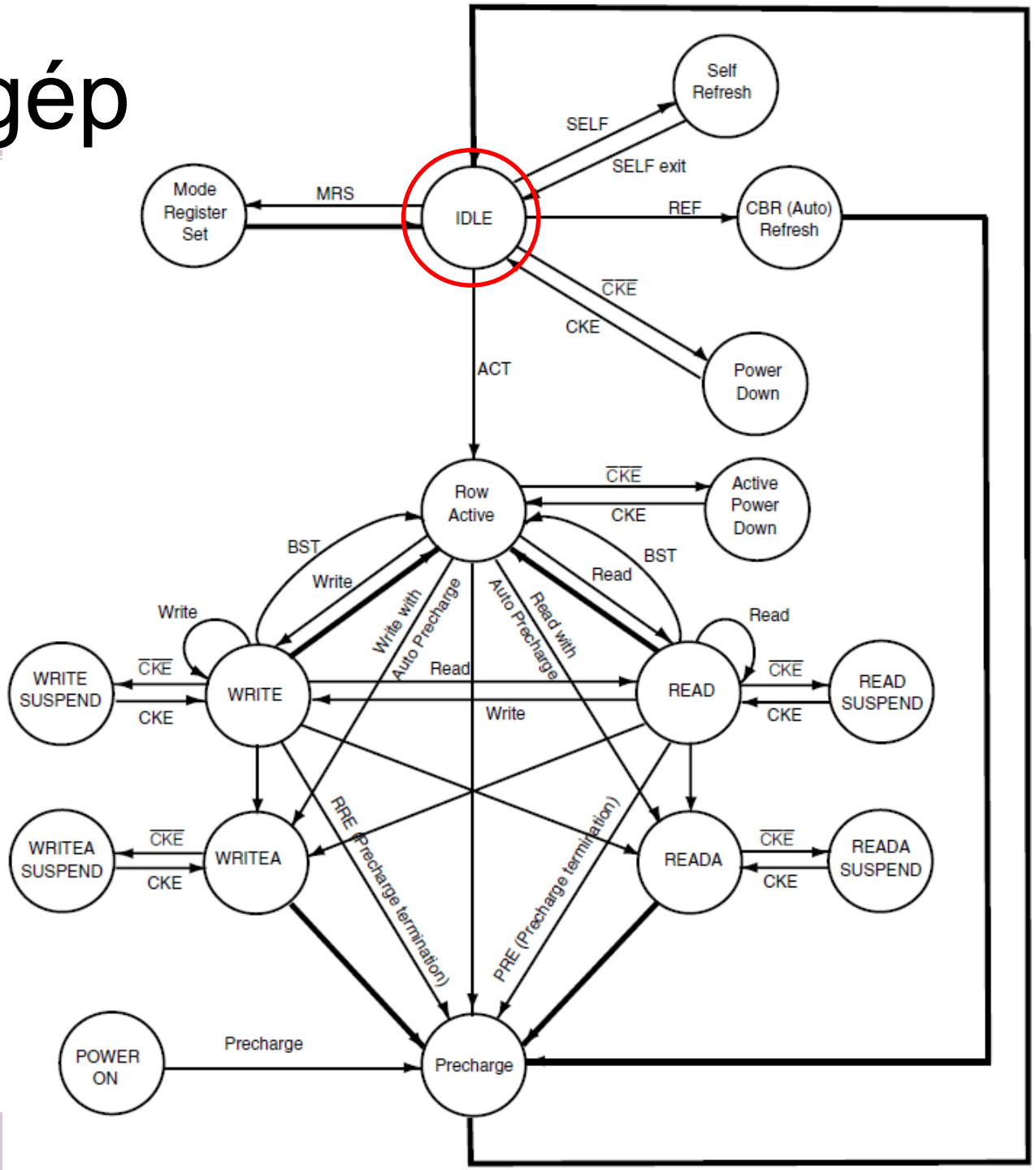
- Eddigi jó tulajdonságok +
- Belső pipeline fázisokat órajel vezérli
- Burst-ciklusa programozható és interleave működésre is képes
- A belső állapotgép leegyszerűsíti a memória-áramkör interfészét.



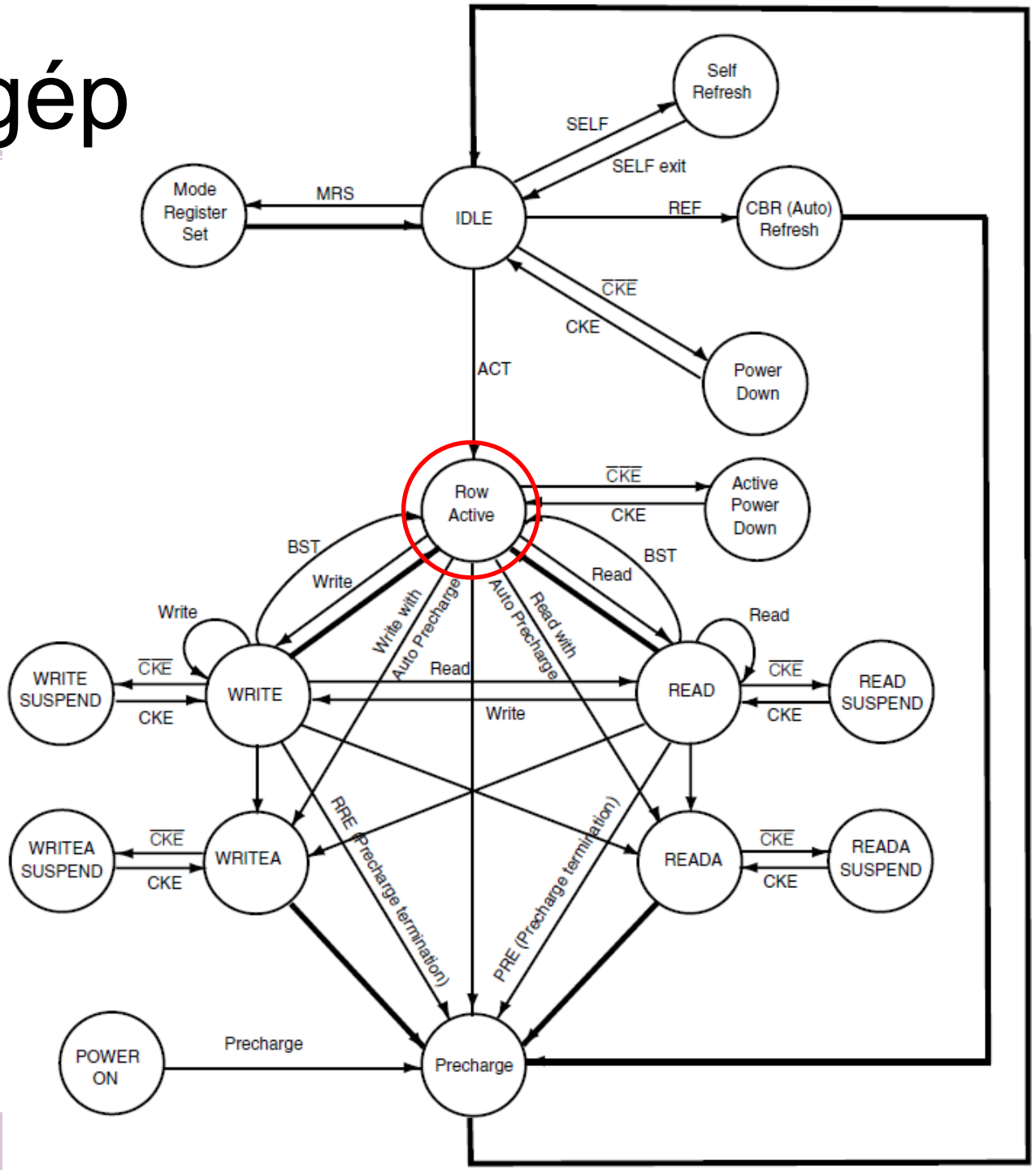
4 M x 16x4 SDRAM Funkcionális blokk diagram



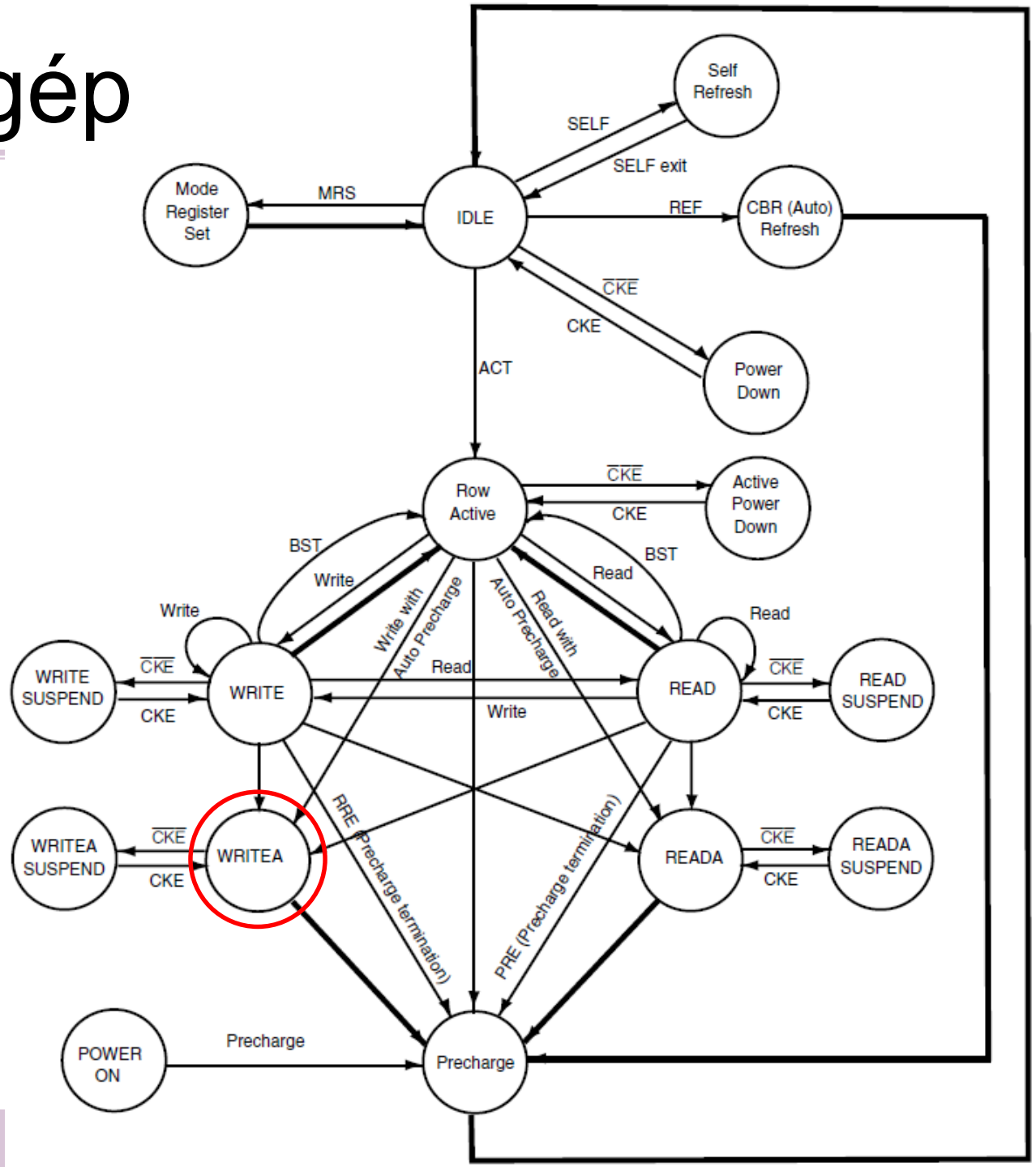
Állapotgép


Self Refresh
SELF
SELF exit
Mode Register Set
MRS
IDLE
REF
CBR (Auto) Refresh
CKE
CKE
Power Down
ACT
Row Active
CKE
CKE
Active Power Down
BST
Write
BST
Read
Write
Write with Auto Precharge
Auto Precharge
Read with
Read
WRITE SUSPEND
CKE
CKE
WRITE
Read
Write
READ
CKE
CKE
READ SUSPEND
WRITEA SUSPEND
CKE
CKE
WRITEA
RRE (Precharge termination)
PRE (Precharge termination)
READA
CKE
CKE
READA SUSPEND
POWER ON
Precharge
Precharge
Automatic sequence
Manual Input

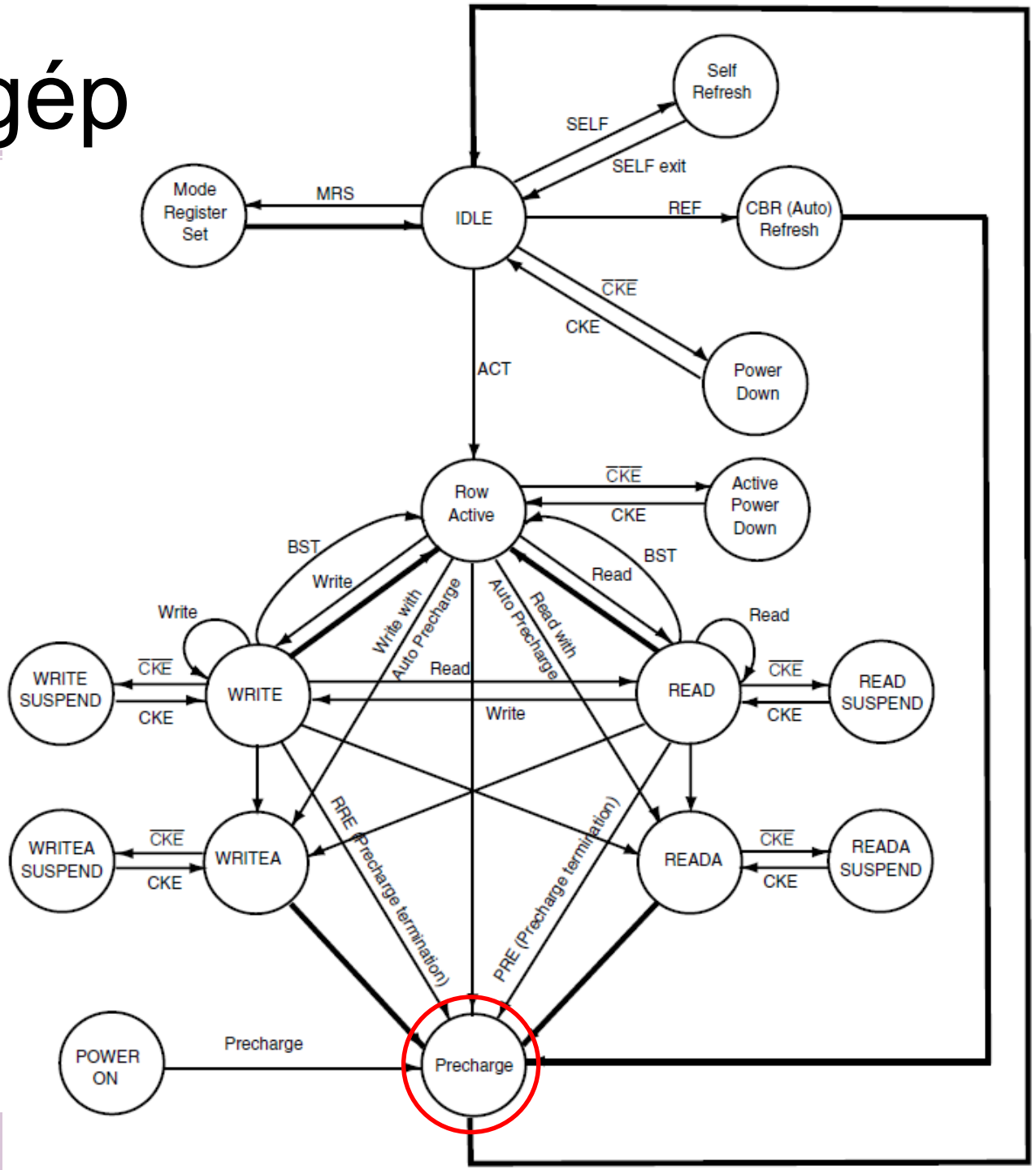
Állapotgép


Self Refresh
SELF
SELF exit
Mode Register Set
MRS
IDLE
REF
CBR (Auto) Refresh
CKE
CKE
Power Down
ACT
Row Active
CKE
CKE
Active Power Down
BST
Write
Write
Write with Auto Precharge
Auto Precharge
Read with Auto Precharge
Read
BST
Read
Read
WRITE SUSPEND
CKE
CKE
WRITE
Read
Write
READ
CKE
CKE
READ SUSPEND
WRITEA SUSPEND
CKE
CKE
WRITEA
RRE (Precharge termination)
PRE (Precharge termination)
READA
CKE
CKE
READA SUSPEND
POWER ON
Precharge
Precharge
Automatic sequence
Manual Input

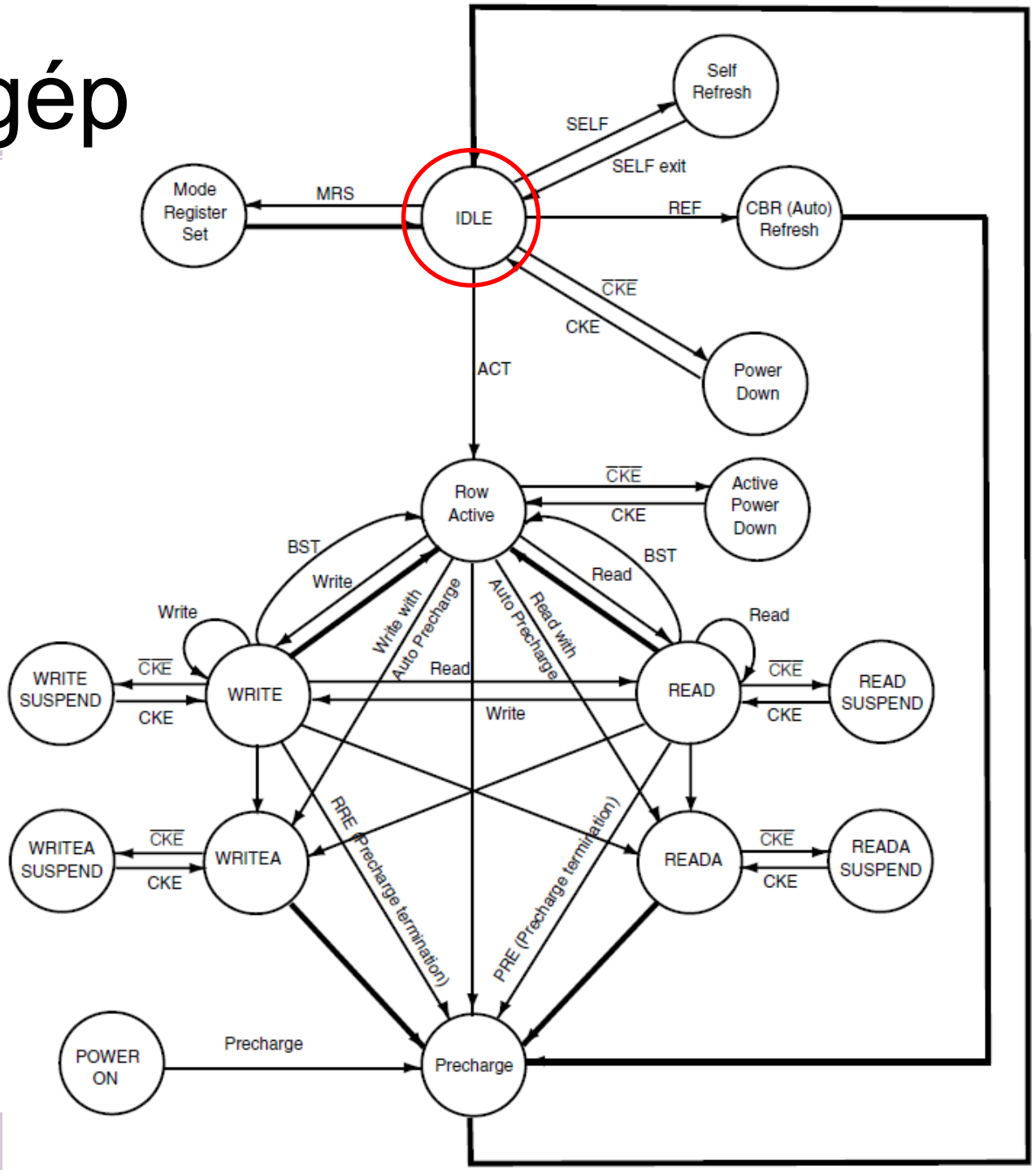
Állapotgép

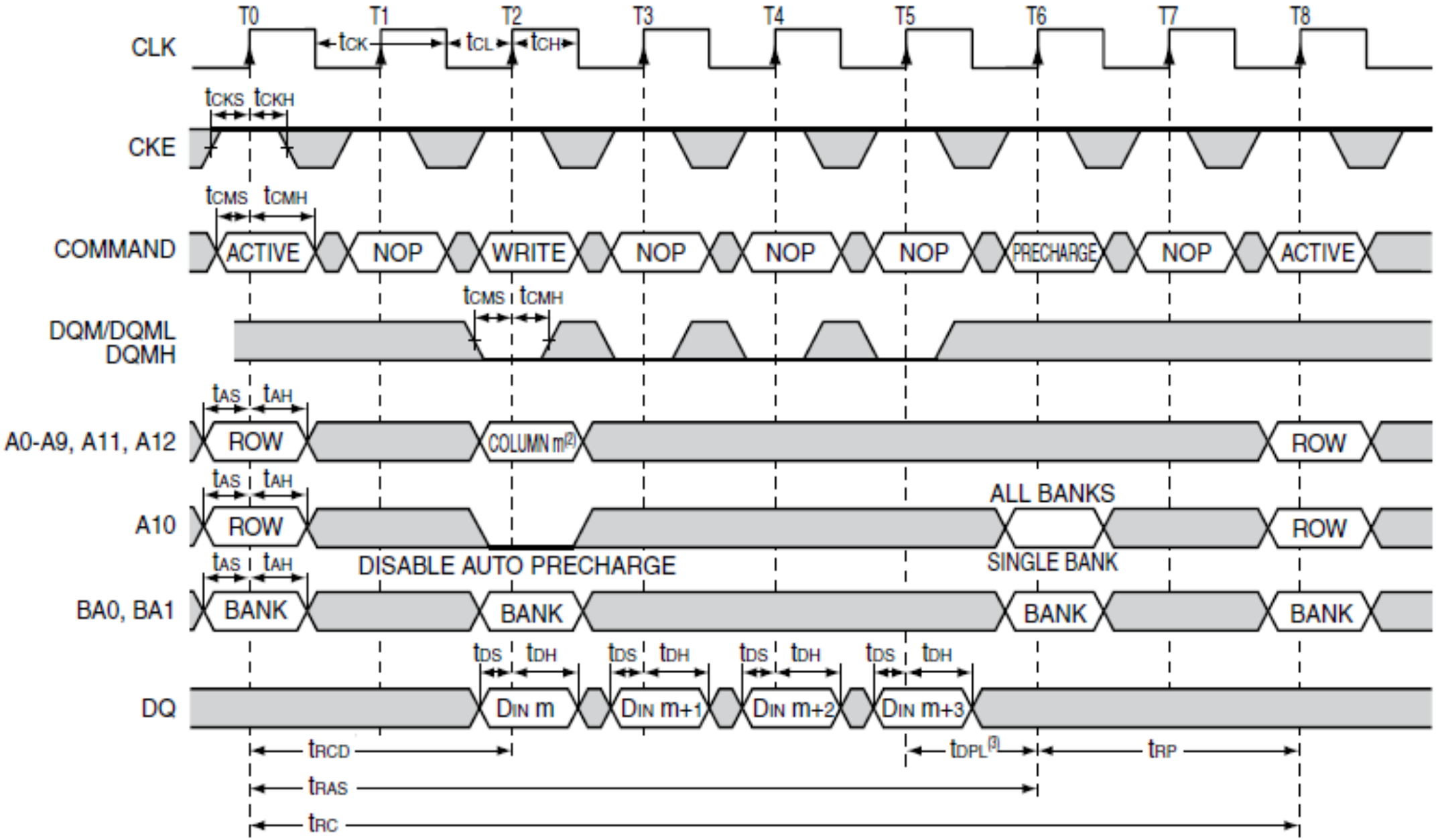

Self Refresh
SELF
SELF exit
Mode Register Set
MRS
IDLE
REF
CBR (Auto) Refresh
CKE
CKE
Power Down
ACT
Row Active
CKE
CKE
Active Power Down
BST
Write
Write
Write with Auto Precharge
Auto Precharge
Read with
BST
Read
Read
WRITE SUSPEND
CKE
CKE
WRITE
Read
Write
READ
CKE
CKE
READ SUSPEND
WRITEA SUSPEND
CKE
CKE
WRITEA
RRE (Precharge termination)
PRE (Precharge termination)
READA
CKE
CKE
READA SUSPEND
POWER ON
Precharge
Precharge
Automatic sequence
Manual Input

Állapotgép


Self Refresh
SELF
SELF exit
Mode Register Set
MRS
IDLE
REF
CBR (Auto) Refresh
CKE
CKE
Power Down
ACT
Row Active
CKE
CKE
Active Power Down
BST
Write
BST
Read
Write
Write with Auto Precharge
Read with Auto Precharge
Read
Read
WRITE SUSPEND
CKE
CKE
WRITE
Read
Write
READ
CKE
CKE
READ SUSPEND
WRITEA SUSPEND
CKE
CKE
WRITEA
RRE (Precharge termination)
PRE (Precharge termination)
READA
CKE
CKE
READA SUSPEND
POWER ON
Precharge
Precharge
Automatic sequence
Manual Input

Állapotgép


Self Refresh
SELF
SELF exit
Mode Register Set
MRS
IDLE
REF
CBR (Auto) Refresh
CKE
CKE
Power Down
ACT
Row Active
CKE
CKE
Active Power Down
BST
Write
BST
Read
Write
Write with Auto Precharge
Auto Precharge
Read with
Read
WRITE SUSPEND
CKE
CKE
WRITE
Read
Write
READ
CKE
CKE
READ SUSPEND
WRITEA SUSPEND
CKE
CKE
WRITEA
RRE (Precharge termination)
PRE (Precharge termination)
READA
CKE
CKE
READA SUSPEND
POWER ON
Precharge
Precharge
Automatic sequence
Manual Input

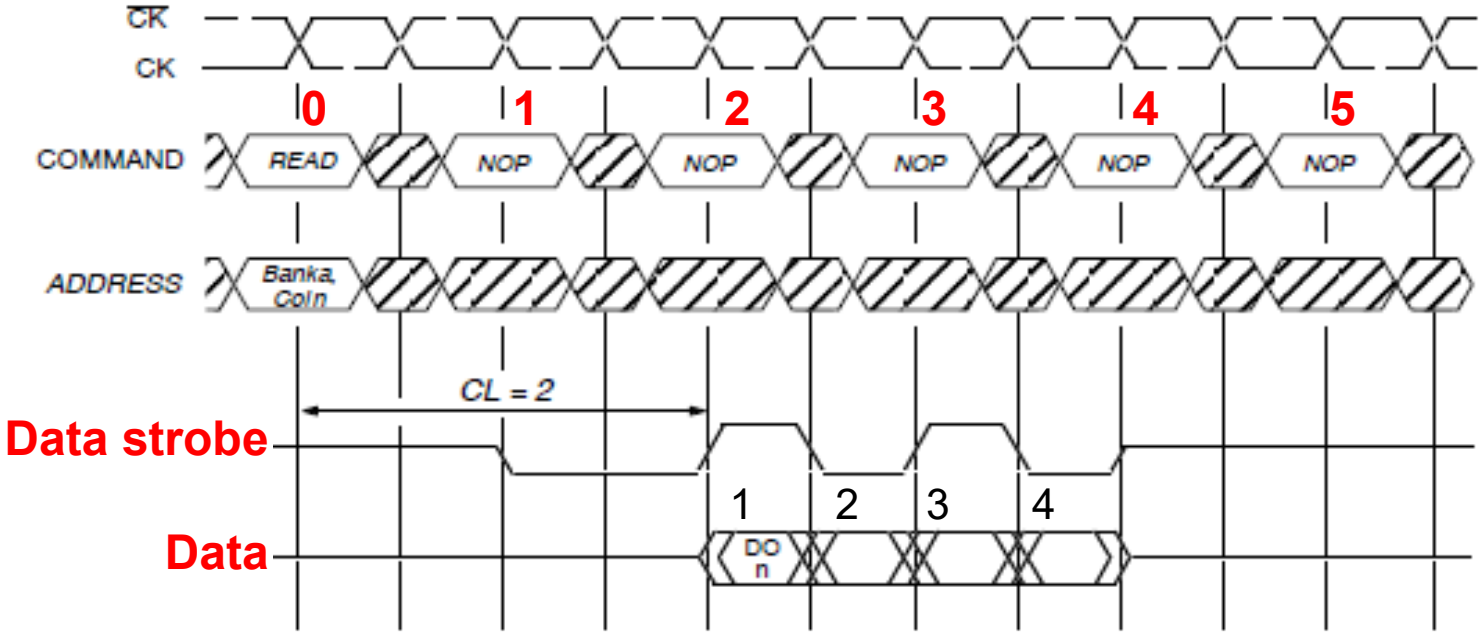


t_{DS} = 1.5ns; t_{DH} = 0.8ns; t_{CK} = 6ns (f_{CK} = 166MHz)

DON'T CARE

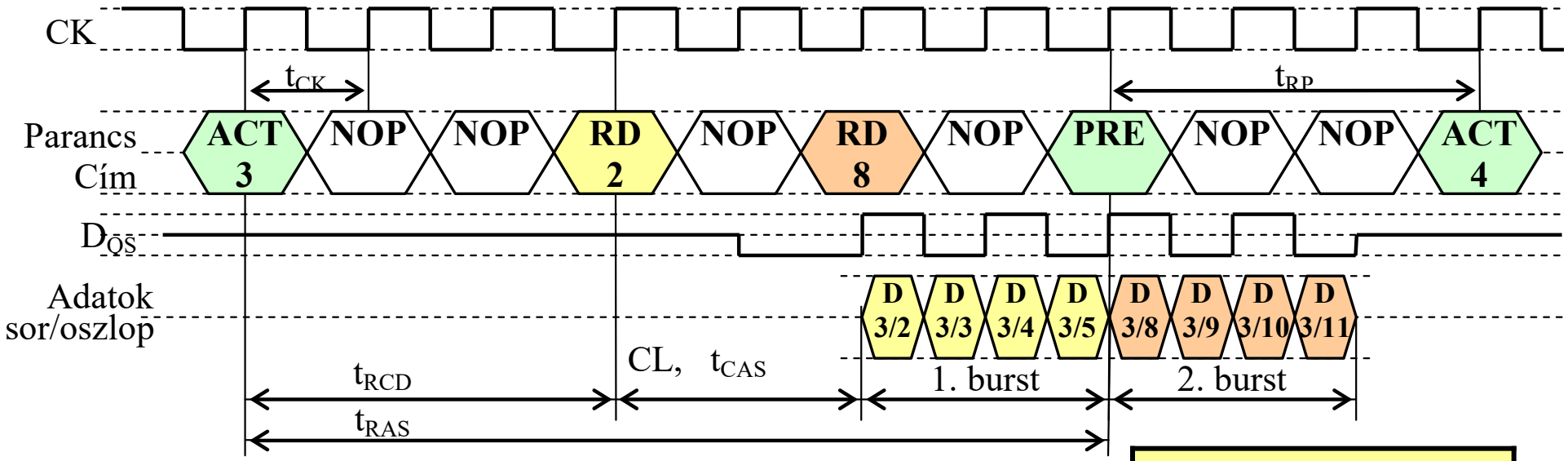
DDR SDRAM

DDR, DDR2, DDR3, DDR4, DDR5



- DDR SDRAM = Double Data Rate Syncron Dynamic RAM
- Dupla adatsebességű architektúra. A DDR memória ugyanakkora órajel-sebesség mellett működik 2x-es sebességgel úgy, hogy az **órajel felfutó és lefutó éle is** kivált egy önálló működési ciklust.

DDR - DRAM működése



$T_{CAS} – T_{RCD} – T_{RP} – T_{RAS}$ →pl.: 2-3-3-7

Parancsok
ACT
WRITE
READ
PRECHARGE
REFRESH
NOP

Szinkron működés

Időben átlapolt működés

Automatikus oszlopcím generálás (burst)

Beépített interleave

Belső állapotgép

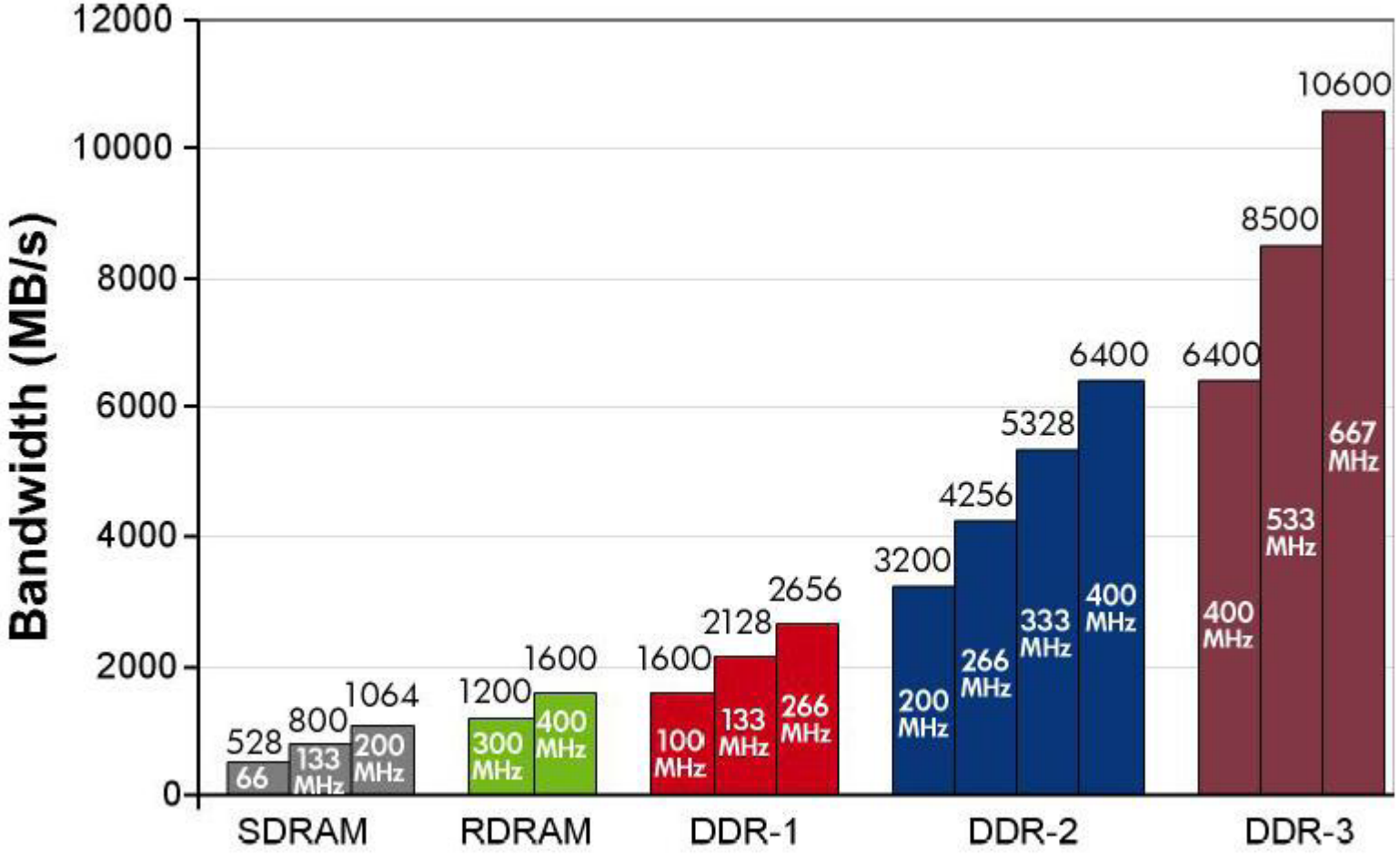
Parancsok előállítása

NAME (Function)	$\overline{CS}$	$\overline{RAS}$	$\overline{CAS}$	$\overline{WE}$	ADDR
DESELECT (NOP)	H	X	X	X	X
NO OPERATION (NOP)	L	H	H	H	X
ACTIVE (Select bank and activate row)	L	L	H	H	Bank/Row
READ (Select bank and column, and start READ burst)	L	H	L	H	Bank/Col
WRITE (Select bank and column, and start WRITE burst)	L	H	L	L	Bank/Col
BURST TERMINATE	L	H	H	L	X
PRECHARGE (Deactivate row in bank or banks)	L	L	H	L	Code
AUTO refresh or Self Refresh (Enter self refresh mode)	L	L	L	H	X
MODE REGISTER SET	L	L	L	L	Op-Code

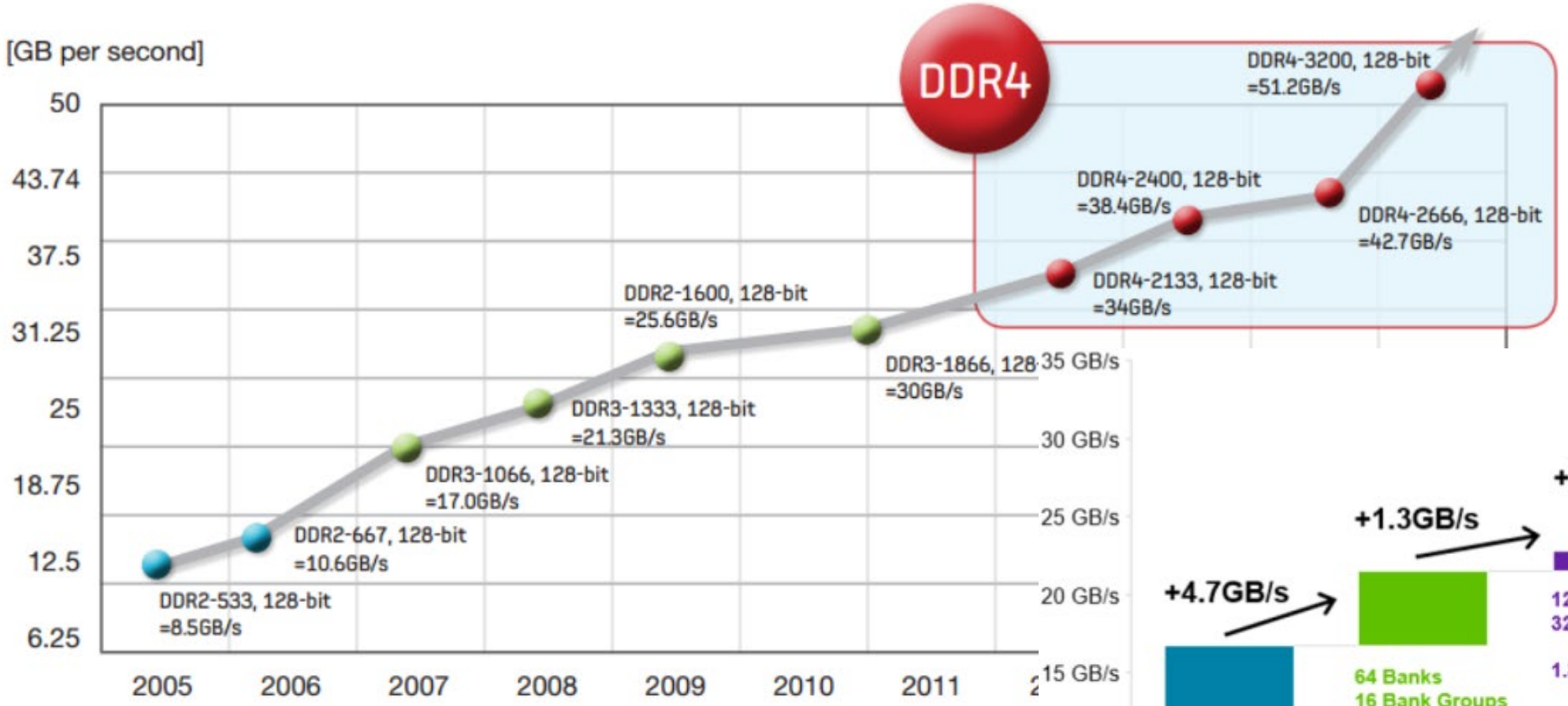
- Vezérlő jelek különböző kombinációival
- Címvezetékek időmultiplex felhasználása (sorcím, oszlopcím, paraméter)
- Órajel (CK,$\overline{CK}$) + engedélyezés (CKE)

Sebességek összehasonlítása

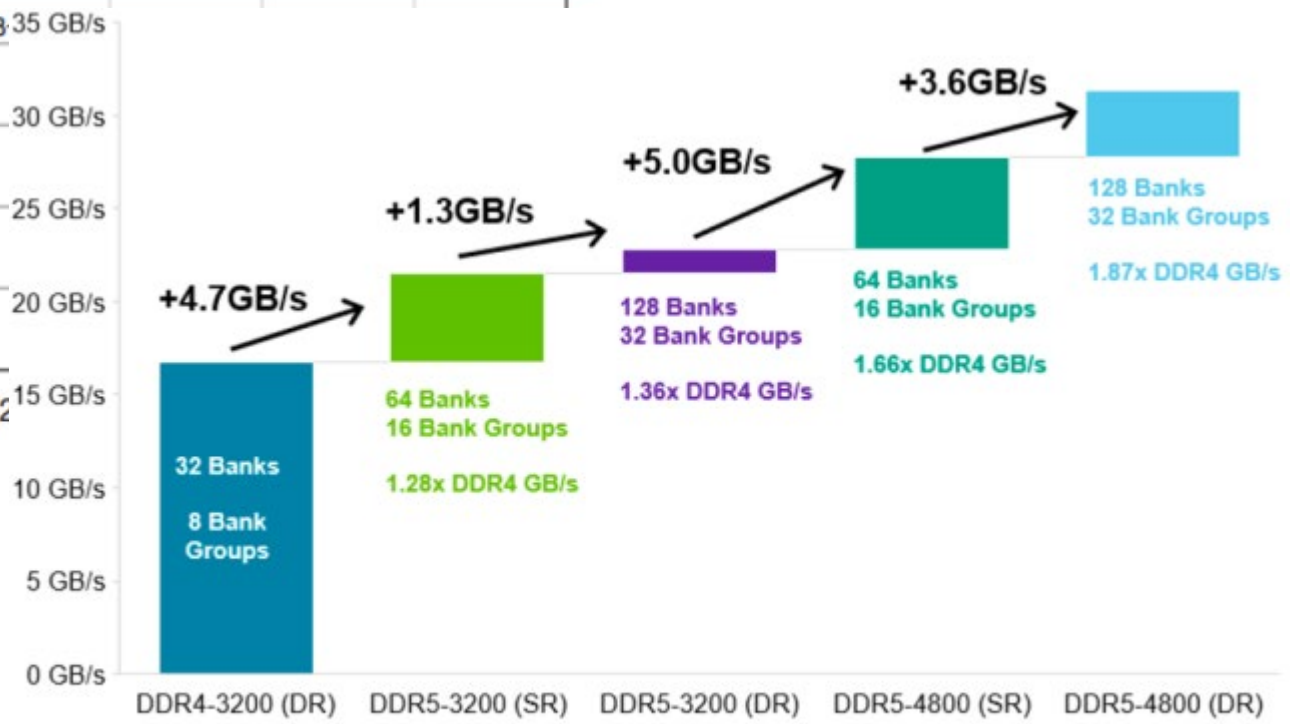
Figure 8. Peak bandwidth comparison of SDRAM and advanced SDRAM technologies



Sebességek összehasonlítása



Forrás: http://media.bestofmicro.com/E/0/430776/original/DDR4-chart.jpg



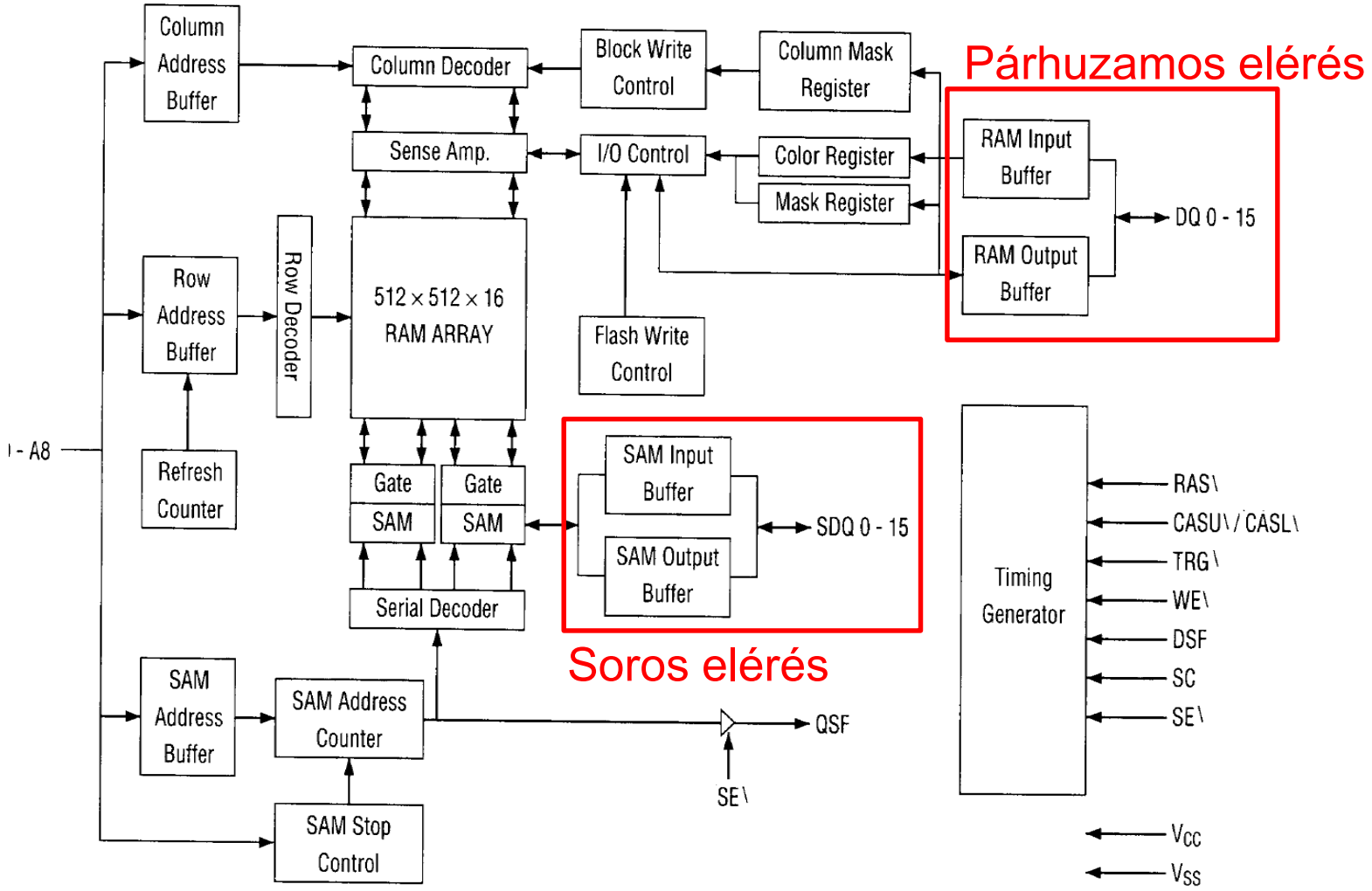
BW Normalized to x64 interface, 64B Random Accesses, 66% Reads, x4 simulation, 16Gb Best Estimates, Subject to Change

Videó memóriák

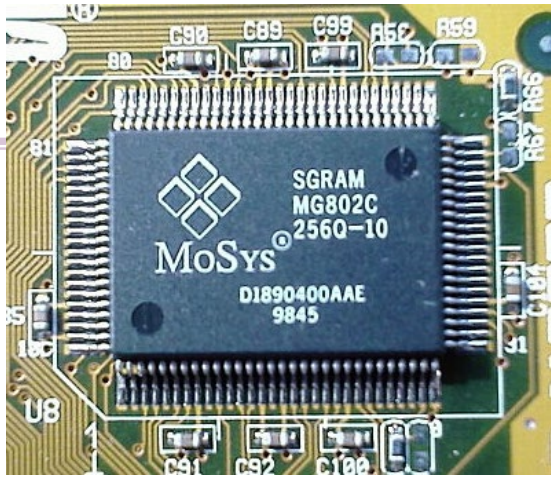
- A képernyő-információ a CPU felől tetszőleges címzéssel érkezhet
- a monitorvezérlő a bal felső képernyő-képponthoz tartozó címtől olvassa a memóriát
- a két hozzáférés egymástól független, időben átlapolt
  → dual-portos memória kell

- Az általános sebességnövelő technikák itt is megtalálhatók

VRAM

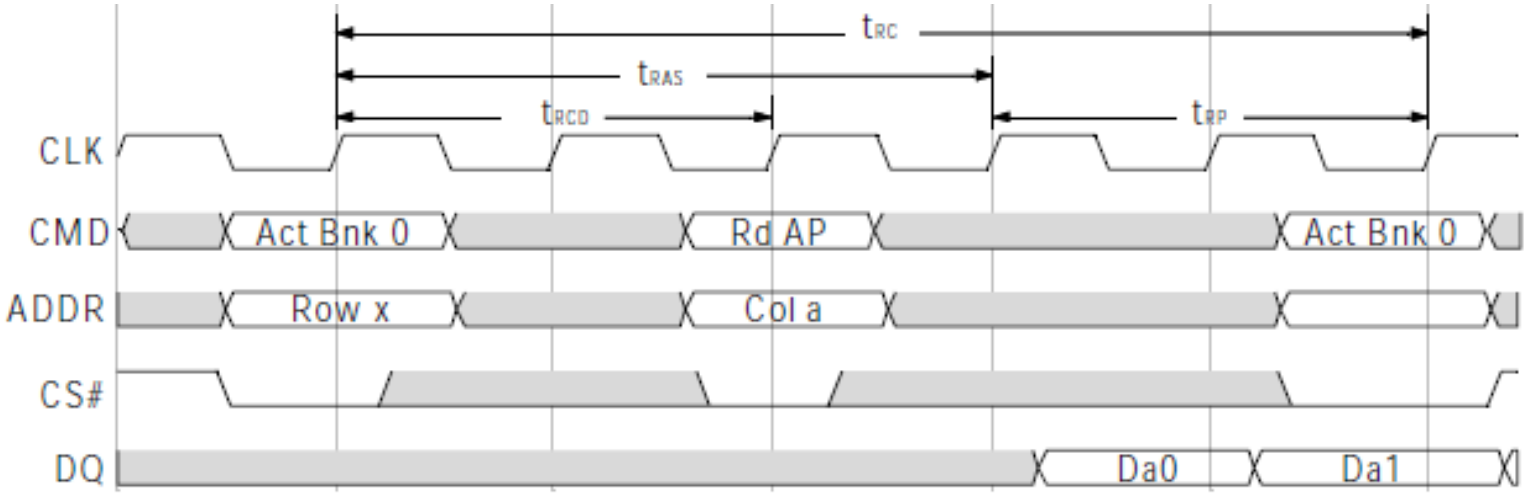

Párhuzamos elérés
Column Address Buffer
Column Decoder
Block Write Control
Column Mask Register
Sense Amp.
I/O Control
Color Register
Mask Register
RAM Input Buffer
RAM Output Buffer
DQ 0 - 15
Row Address Buffer
Row Decoder
512 × 512 × 16 RAM ARRAY
Flash Write Control
Refresh Counter
- A8
Gate
SAM
Gate
SAM
SAM Input Buffer
SAM Output Buffer
SDQ 0 - 15
Serial Decoder
Soros elérés
Timing Generator
RAS\
CASU\ / CASL\
TRG\
WE\
DSF
SC
SE\
SAM Address Buffer
SAM Address Counter
QSF
SE\
SAM Stop Control
Vcc
Vss

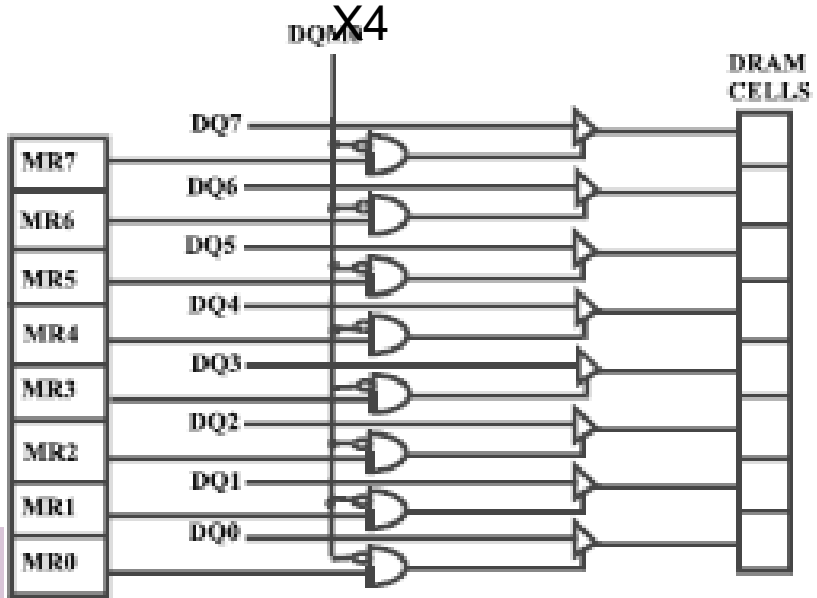
SGRAM



Synchronous Graphics RAM

- Videó kártyákhoz
- BURST módban akár az egész sor is kiolvasható
- Maszkolható írás (32bites szóhossz, de bitenként is írható)
- Alacsony lappangási idő





...

Érdekesség: gyárilag programozott PIC

- A tanult PIC-ben flash memória van, amit szabadon programozhatunk, de ha szeretnénk, kérhetjük gyárilag egy adott tartalommal is:

Showing Pricing For Part Number: **PIC24FJ256GA705T-I/PT**

Step 1

Part Cost

Silicon Quantity	Silicon Price (EUR)
1-24	1.87
25-99	1.70
100+	1.54
Estimated High-Volume Pricing	
1000+	*1.42
5000+	*1.35

Request High-Volume Pricing

Step 2

Low-Cost Programming Services

Programming Quantity	Programming Fee	Tape and Reel Fee	Ink Dot Fee	Standard Label Fee	High Temp Label Fee
0-500	0.31	0.03	0.01	0.09	0.19
501-2000	0.30	0.03	0.01	0.08	0.18
2001-5000	0.30	0.03	0.01	0.07	0.18
5001+	0.29	0.03	0.01	0.06	0.16

PIC24FJ256GA705T-I/PT ✕

Step 3

Upload Code

Upload