Digitális technika 2.

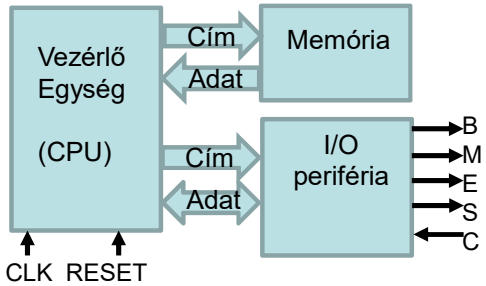
BMEVIIIAA06

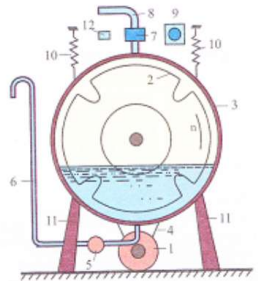
3. előadás

Busz és memóriák

Általános célú számítógép felépítése

- Láttuk:



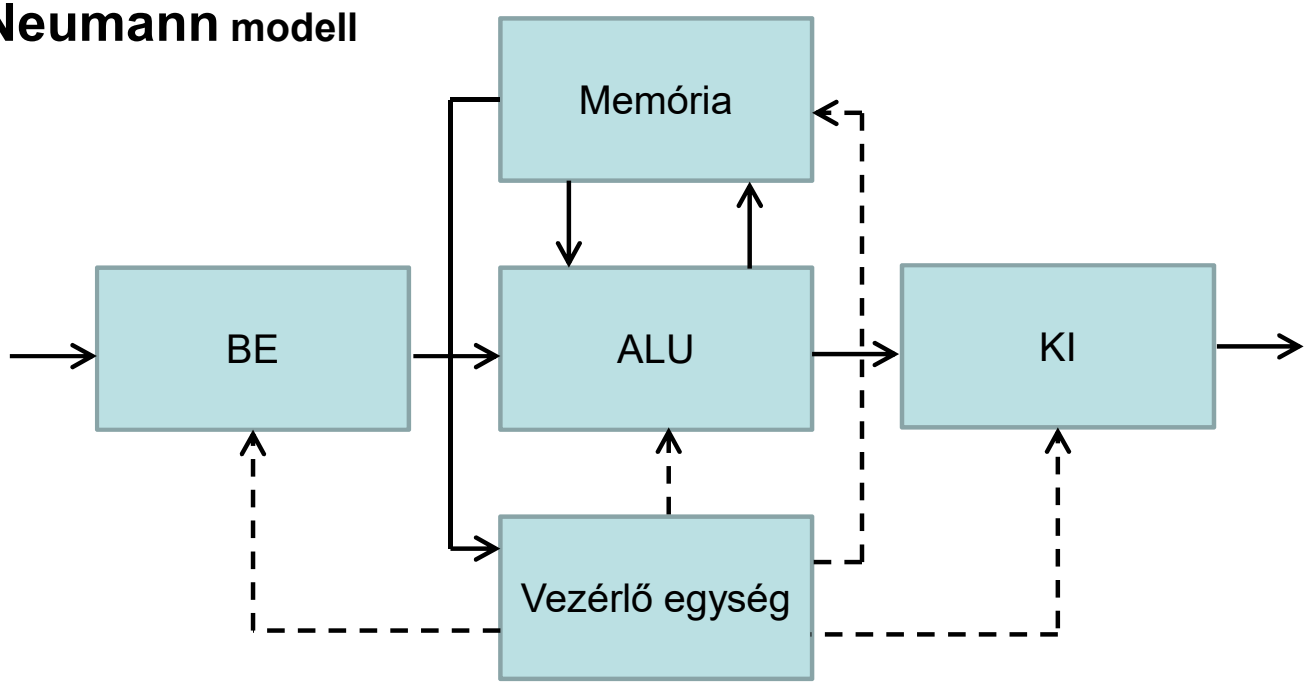


- Hiányosságok:
  - Nem tud számolni (mert nem kellett neki)
    - » Kell egy ALU a vezérlő egység mellé (láttuk)
  - Lehetne bővíthető további be/kimenetekkel
    - » Kell egy általános interfész a perifériák felé → Sín (busz)
  - Nem tud változókat tárolni (az egyetlen állapota az aktuális programsor)
    - » Írható-Olvasható adatmemória kell

Neumann modell

Neumann János (1945)
First Draft of a Report on EDVAC
(Electronic Discrete Variable Automatic Computer)

Neumann modell



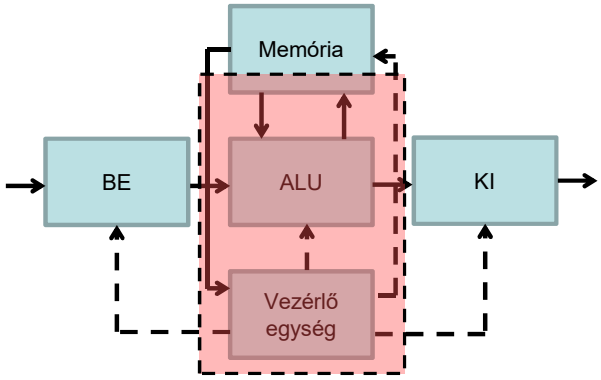
Neumann modell

Neumann modell

Alapelvek

- belső programtárolás és programvezérlés
- utasítás és adat azonos közegben és formában tárolva
  - az értelmezés dönti el, hogy egy memóriatartalom utasítás vagy adat
  - utasítások programmal módosíthatók
  - adattípusok műveletekhez rendeltek
  - szekvenciális utasítás végrehajtás
  - egydimenziós, lineáris címzésű memória
  - bináris adatábrázolás

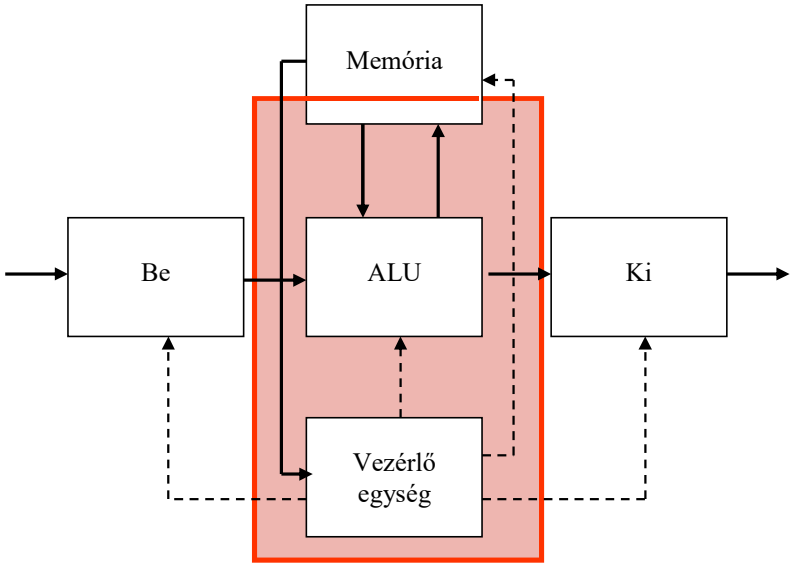
ALU + vezérlő egység ⇒ processzor (CPU)
Külső kapcsolatok ⇒ perifériák



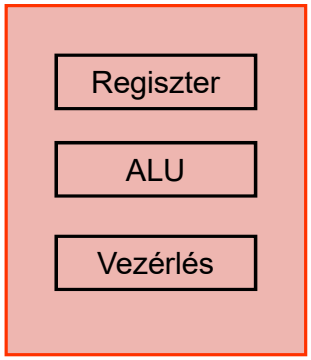
CPU – Central Processing Unit

Lehetne máshogy is →Harvard architektúra (külön utasítás és adat memória)

CPU= ALU + vezérlő egység + regiszterek



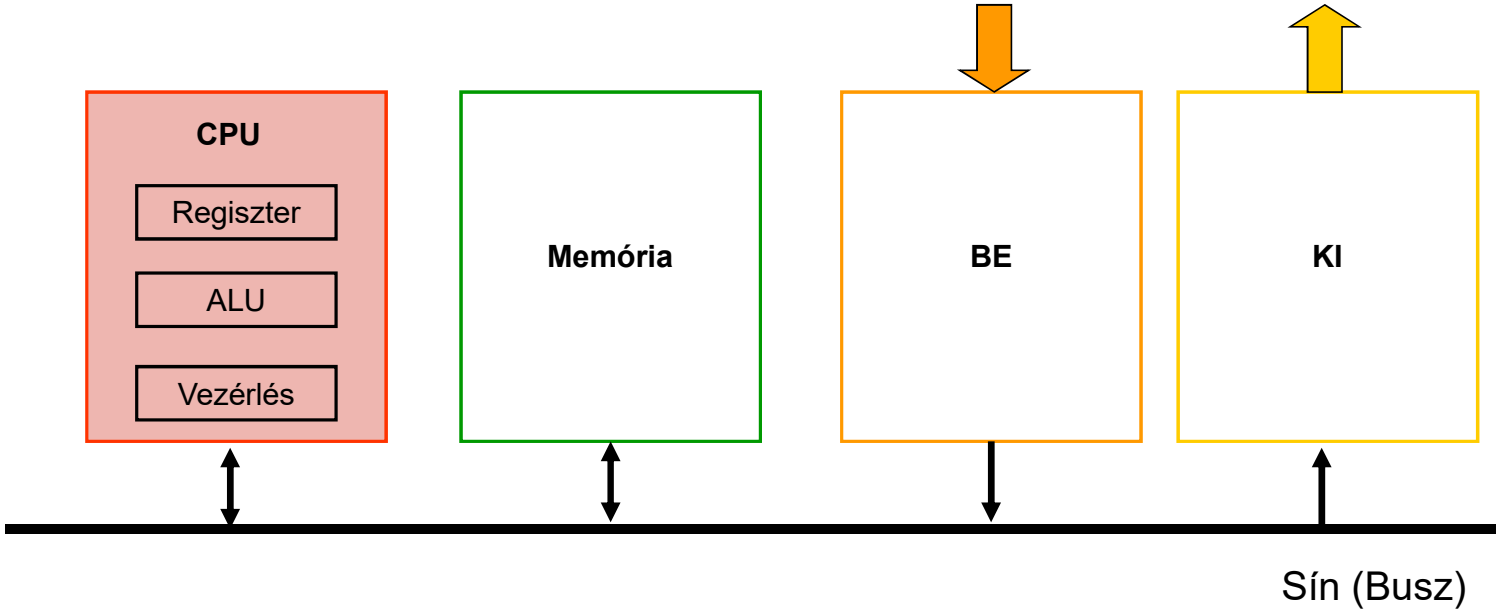
CPU



CPU

Central Processing Unit

Sín (Busz)



Adatok továbbítására szolgáló vezeték halmaz

A műveletben résztvevő egység azonosítása	**Cím**
A művelet adata	**Adat**
A végrehajtás ütemezése	**Vezérlés**

Sín

Sín jelek

- Cím - a forrás/cél azonosítása
- Adat - a továbbítani kívánt információ
- Vezérlés - az adatátvitel ütemezése

Az adatátvitel szereplői

Vezérlés

- MASTER - feladata az adatátvitel vezérlése (cím, ütemezés)
- SLAVE - feladata az adatátvitel végrehajtása

1 MASTER – n SLAVE

Adat

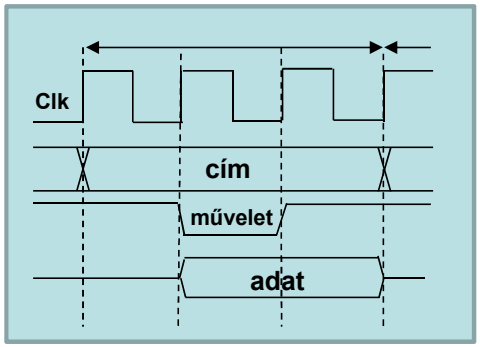
- FORRÁS - az adatot szolgáltató eszköz
- CÉL - az adatot eltároló eszköz

1 FORRÁS – n CÉL

Sín

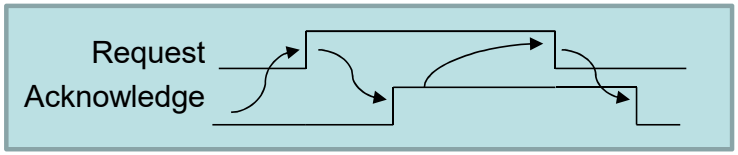
Sín paraméterek
- Adatszélesség (1,8,16, … 128, …)
- Címtartomány (16, 20, 24, …)
- Adatátvitel sebessége

Idő-osztásos sín használat



Fizikai megvalósítás
- Three-state
- Nyitott kollektor

Ütemezés megvalósítása
- Szinkron - az adatátvitel ideje meghatározott, órajel ütemezi
- Aszinkron - az adatátvitel ütemezése handshake jelekkel történik



Sín

Sín: több modul csatlakozhat rá

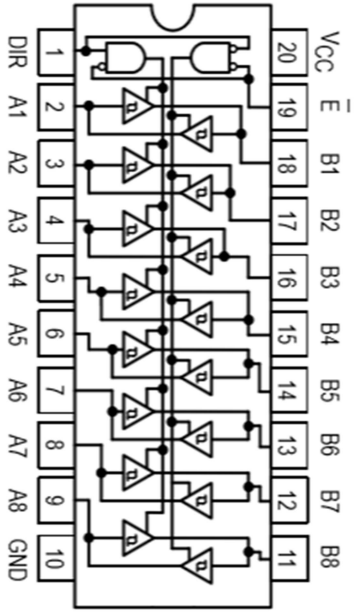
Igény: 1 modul - 1 terhelési egység, 20 meghajtási egység

→ a sín jeleket le kell választani (meghajtó áramkörök)

	Cím	Vezérlés
Master	Jelek meghajtása egyirányú erősítő KI	Jelek meghajtása egyirányú erősítő KI
Slave	Jelek leválasztása egyirányú erősítő BE	Jelek leválasztása egyirányú erősítő BE

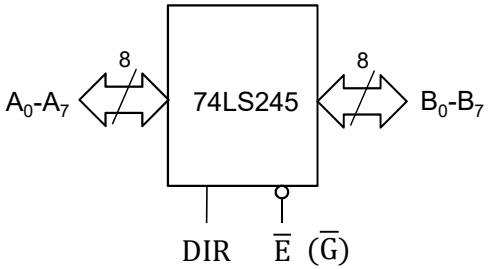
	Adat
Forrás	Jelek meghajtása egyirányú erősítő KI
Cél	Jelek leválasztása egyirányú erősítő BE

ha a modul forrás és cél is lehet: **kétirányú erősítő**

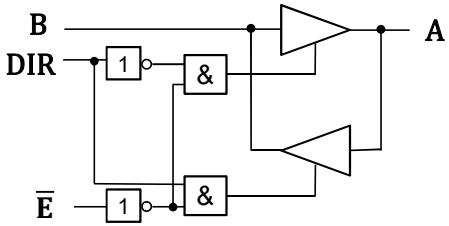


Egyirányú erősítő: pl. 74LS244

Kétirányú erősítő: pl. 74LS245

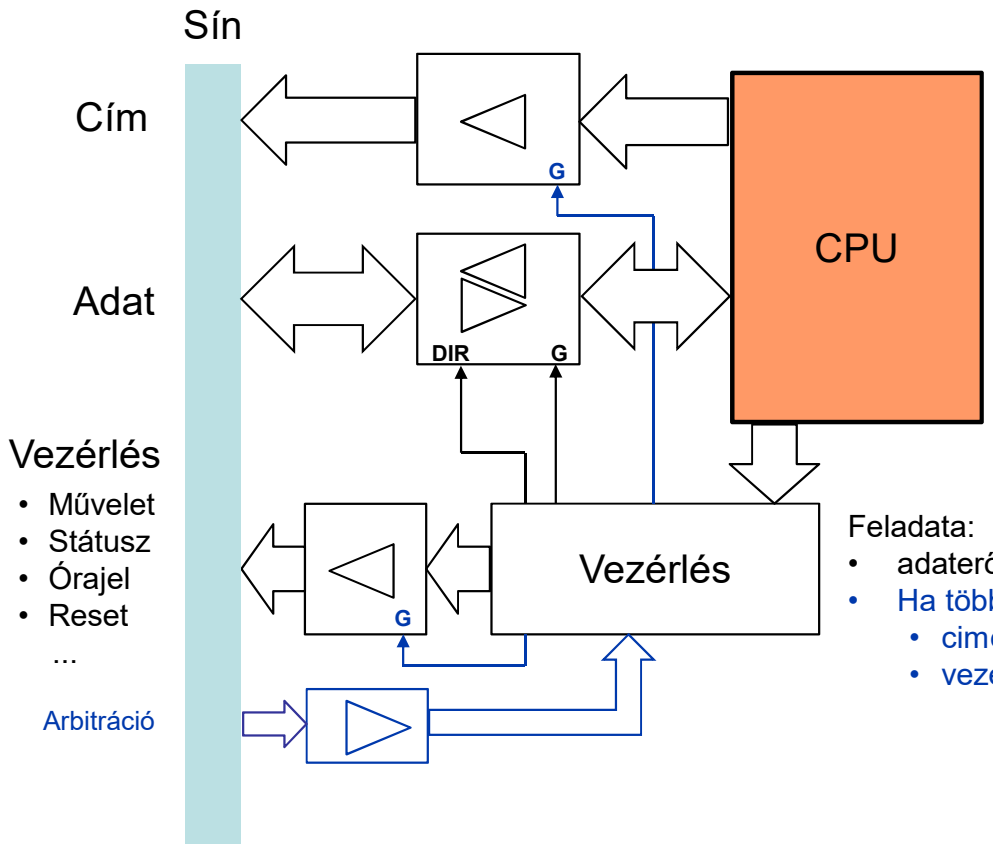


E	DIR	Kimenet
L	L	B → A
L	H	A → B
H	x	HiZ



Sín

Sín illesztés – MASTER modul (CPU)

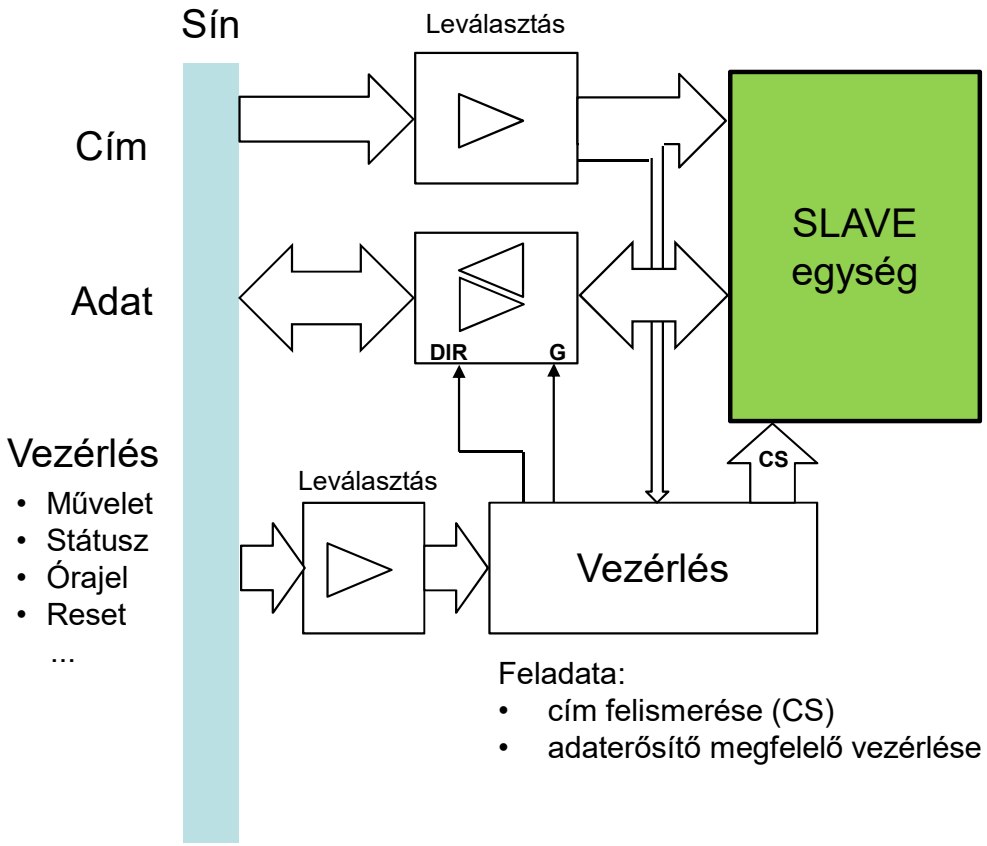


Feladata:

- adaterősítő megfelelő vezérlése
- Ha több MASTER is lehet
  - cimerősítő leválasztása
  - vezérlő jelek leválasztása

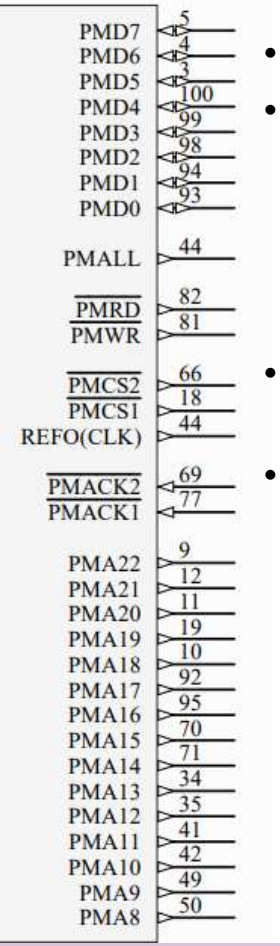
Sín

Sín illesztés – SLAVE modul (Memória, I/O)



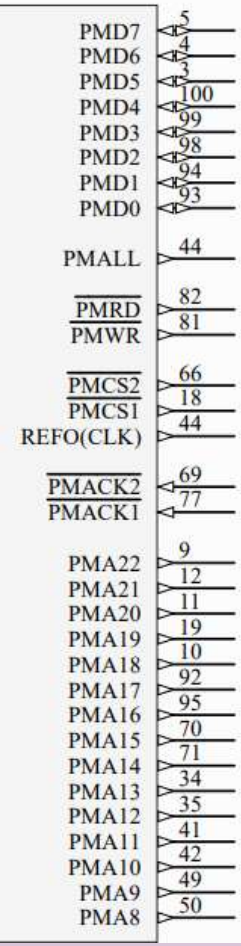
Feladata:
- cím felismerése (CS)
- adaterősítő megfelelő vezérlése

Egy konkrét sín



- PMP (Parallel Master Port)
- Többféle üzemmód, több különböző fizikai megvalósítása van, csak ezzel az eggyel foglalkozunk részletesen:
  - Időmultiplexált 8 bites üzemmód:
  - alsó 8 bit cím és adat ugyanazon fizikai lábakon
    - Az alsó címbiteket tárolni (latch) kell
    - PMALL (Address Low Latch) jel engedélyezheti a tárolót
- A címjelek mellé független engedélyező (CS jelek)
  →használható tartomány kijelölésére vagy további cím-bitként
- Elkészülést visszajelző jel: PMACK:
  - A sínciklus végét jelzi, lassú periféria esetén

Egy konkrét sín



- PMP (Parallel Master Port)
- Többféle üzemmód, több különböző fizikai megvalósítása van, csak ezzel az eggyel foglalkozunk részletesen:
  - Időmultiplexált 8 bites üzemmód:
  - alsó 8 bit cím és adat ugyanazon fizikai lábakon
    - Az alsó címbiteket tárolni (latch) kell
    - PMALL (Address Low Latch) jel engedélyezheti a tárolót
- A címjelek mellé független engedélyező (CS jelek)

→ használható tartomány kijelölésére vagy további cím-bitként

- Elkészülést visszajelző jel: PMACK:
  - A sínciklus végét jelzi, lassú periféria esetén
- TCy: Utasításciklus ideje
  - itt 1TCy: Órajel periódusideje

Figure 42-29: Single Address Phase Mode Over an 8-Bit Port Read Waveforms

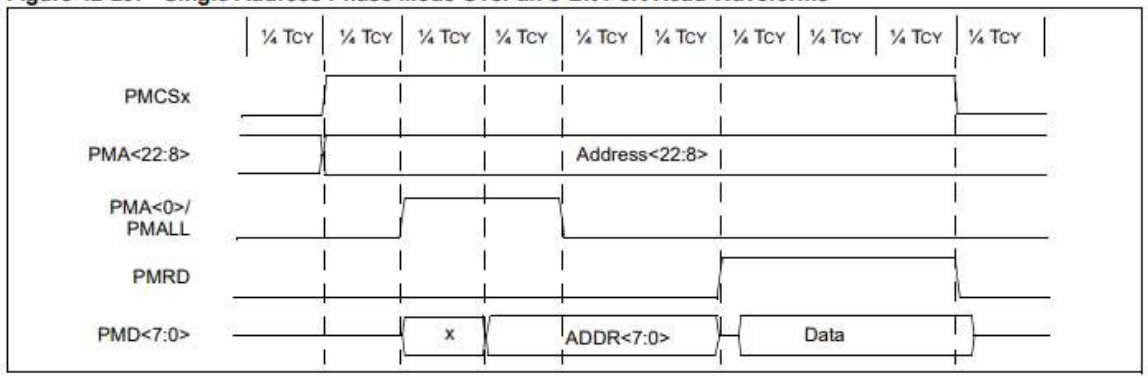


Figure 42-30: Single Address Phase Mode Over an 8-Bit Port Write Waveforms

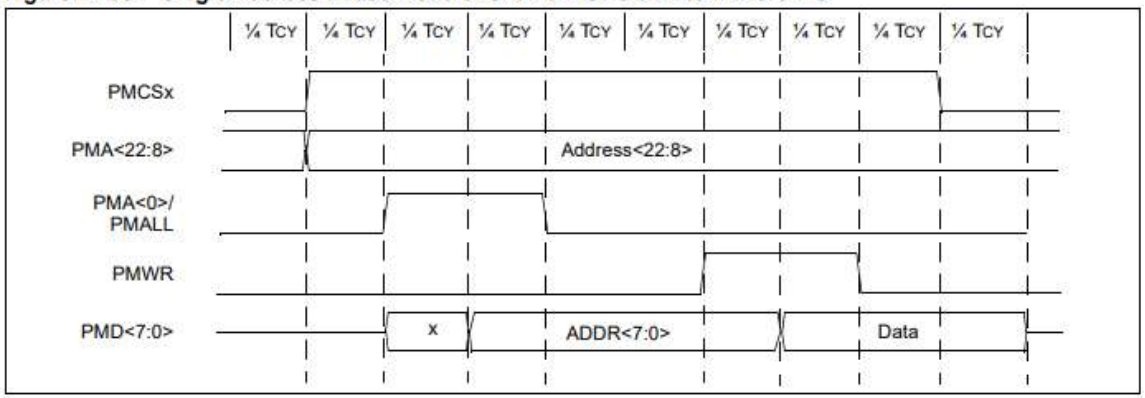
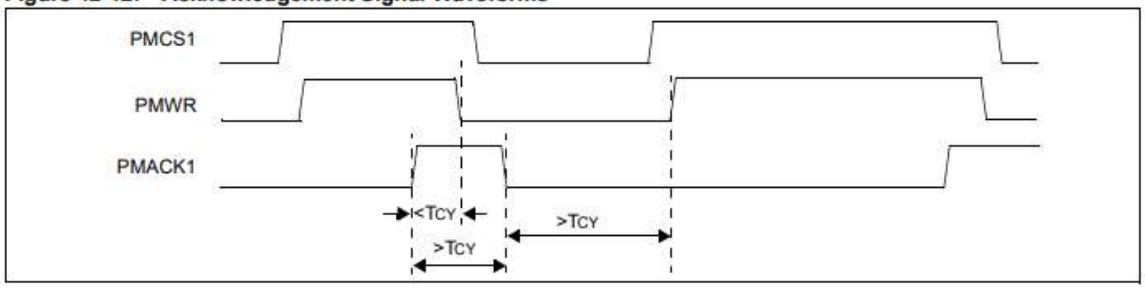


Figure 42-12: Acknowledgement Signal Waveforms



Memória

Adatok tárolására alkalmas (nagy) regiszter tömb

ROM (read only memory)

- maszk programozott
- PROM (egyszer írható, OTP)
- EPROM (UV törölhető, újraírható)
- EEPROM (elektronikusan törölhető, újraírható)
- FLASH (blokkokban elektronikusan törölhető)

RAM (random access memory)

- statikus (tárolás flip-flopban)
- dinamikus (tárolás kondenzátorban)

→ frissítés

Tárolt bitek száma 2^n

bit	kbit (kilo)	Mbit (Mega)	Gbit (Giga)	Tbit (Tera)	Pbit (Peta)
2^0	2^{10}	2^{20}	2^{30}	2^{40}	2^{50}

Szervezés

egy művelettel elérhető bitek száma: 2^m

2^0	2^2	2^3	2^4	2^5	2^6	2^7	….
1	4	8	16	32	64	128	….
		byte	word	double word	quad word		

1 kbyte = 1024 byte = 8 kbit = 8192 bit

Memória

Kapacitás: $2^n * 2^M$ bit = 2^{n+M} bit 1 kbit = 2^{10} bit

$2^{(n+M-10)}$ kbit

Címbitek száma	Adatbitek száma	Memória kapacitása [kbit]	
12	8 2^3	**32**	$2^{12} * 2^3 = 2^{15}$ bit → 2^{15-10} → 2^5 = 32k
14	**64**	1024 2^{10+10} bit	$2^{14} * 2^6 = 2^{20}$ → 64
13	16 2^4	128 2^{7+10} bit	$2^{13} * 2^4 = 2^{17}$ → 13

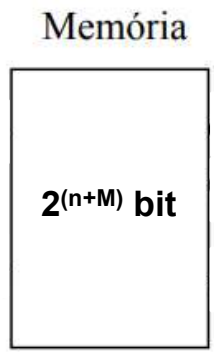
Kapacitás: $2^n * 2^M$ bit = 2^{n+M} bit 1 kbyte = 2^{13} bit

$2^{(n+M-13)}$ kbyte

Címbitek száma	Adatbitek száma	Memória kapacitása [kbyte]	
9	4 2^2	**0.25**	$2^9 * 2^2 = 2^{11}$ bit → 2^{11-13} → 2^{-2} = 0.25k
13	**16**	16 2^{4+13} bit	$2^{13} * 2^4 = 2^{17}$ → 16
9	16 2^4	1 2^{0+13} bit	$2^9 * 2^4 = 2^{13}$ → 9

Memóriák

Interfész

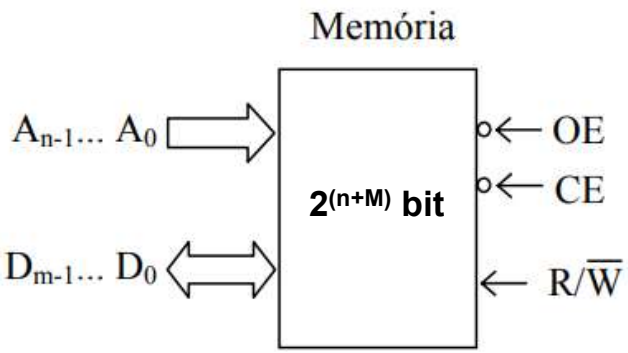


$A_{n-1} \ldots A_0$: n db címvezeték
$D_{m-1} \ldots D_0$: m db adatvezeték
$m = 2^M$
Kapacitás: $2^n * 2^M$ bit = 2^{n+M} bit

OE: kimenet engedélyezés
CE: memória modul engedélyezés
(kaszkádosítás)
R/W: művelet kijelölés
1: olvasás, 0: írás

Memóriák

Interfész

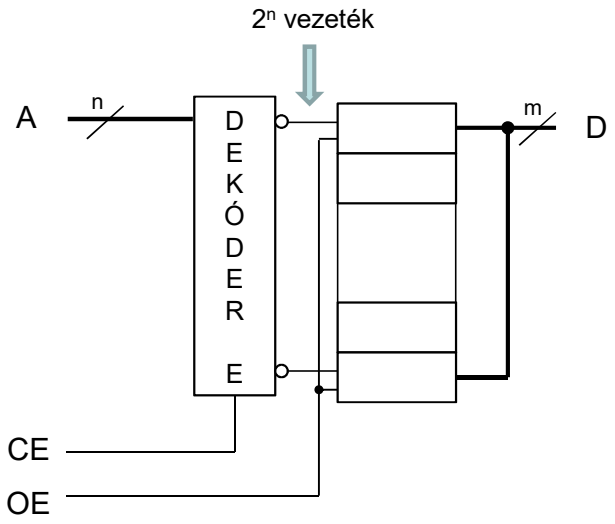


A_{n-1} … A_0: n db címvezeték
D_{m-1} … D_0: m db adatvezeték
$m = 2^M$
Kapacitás: $2^n * 2^M$ bit = 2^{n+M} bit

OE: kimenet engedélyezés
CE: memória modul engedélyezés
(kaszkádosítás)
R/W: művelet kijelölés
1: olvasás, 0: írás

Memóriák

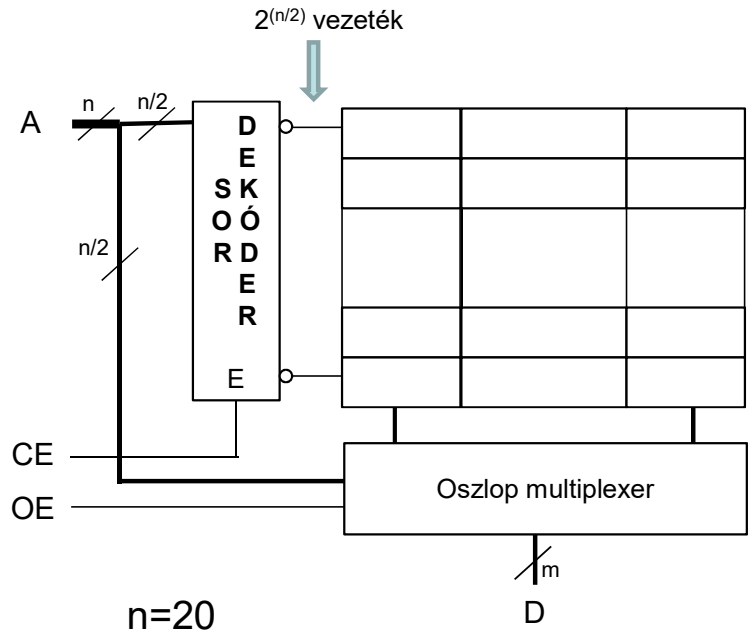
Belső felépítés



n=20

→ 1 048 576 vezeték

Mátrix elrendezés



n=20

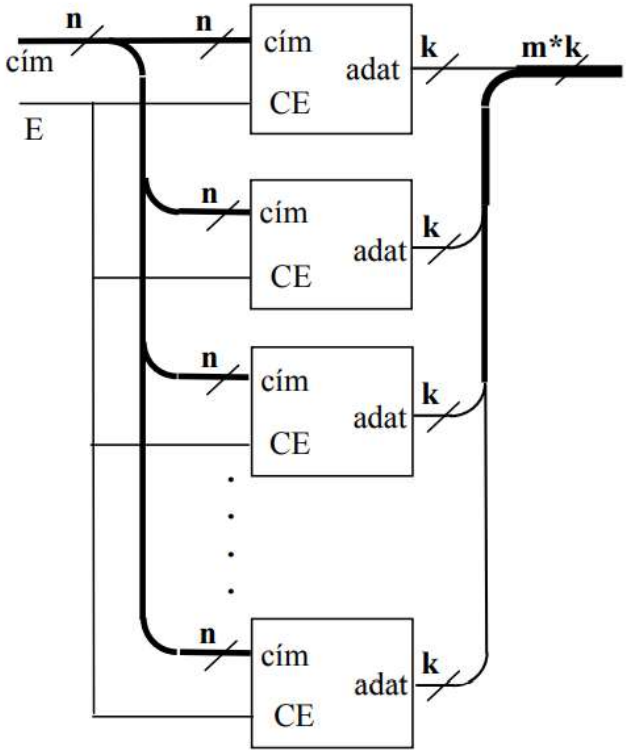
→ 1024 vezeték

m db 1024/1 multiplexer

Memóriák

Kapacitás növelése: bitszélesség

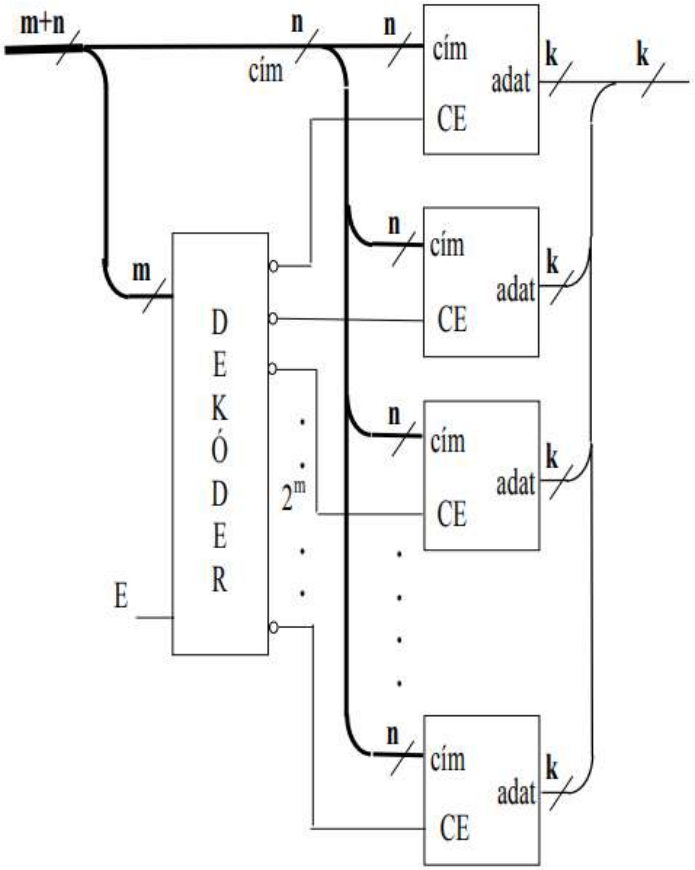
- azonos cím vezetékek
- azonos engedélyezés
- kimenetek egymás mellé fűzése



Memóriák

Kapacitás növelése: adatmennyiség

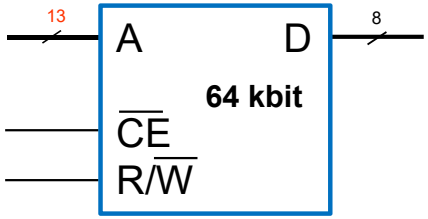
- kimenetek összekötve
- engedélyezéshez dekóder
- dekódolás a felső bitekből



Memóriák

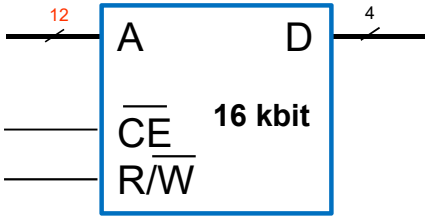
64 kbit memória, 8 bit szervezés
Építőelem: 16kbit, 4 bit szervezés

cél interfész:



$D = 8 \rightarrow 2^3$
$K = 64\ \text{kbit} \rightarrow 2^{16}$
$A = 13$

építőelem interfész:



$D = 4 \rightarrow 2^2$
$K = 16\ \text{kbit} \rightarrow 2^{14}$
$A = 12$

Memóriák

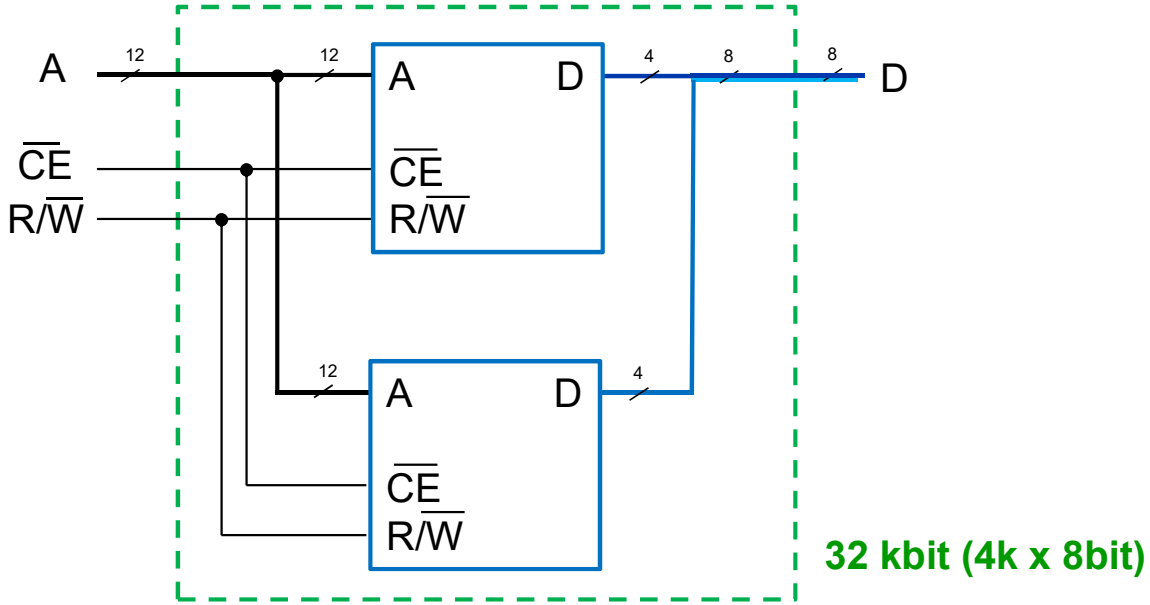
Bitszélesség növelése: 4k x 4bit → 4k x 8bit

2 db 4k x 4bit memória kell

CE, R/W egyszerre vezérelt

Azonos címvezetékek

Adatvezetékek egymás mellé fűzve



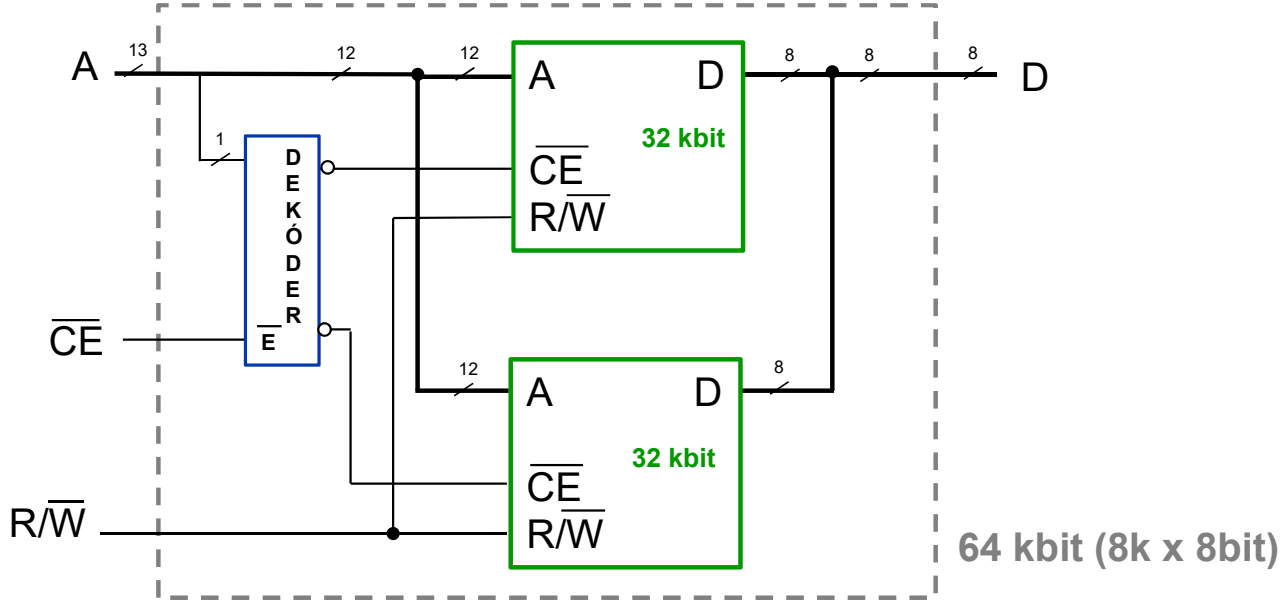
Memóriák

Adatmennyiég növelése: 4k x 8bit → 8k x 8bit

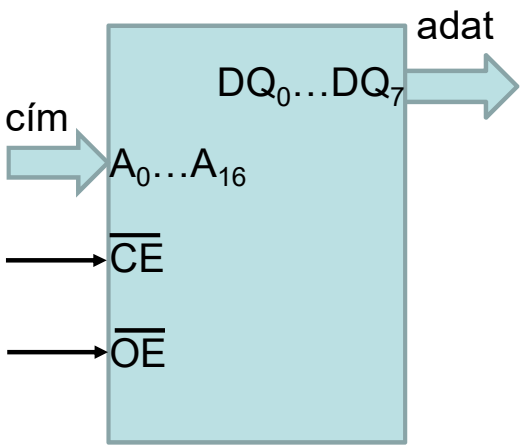
2 db 4k x 8bit memória kell

Adatvezetékek összekötve

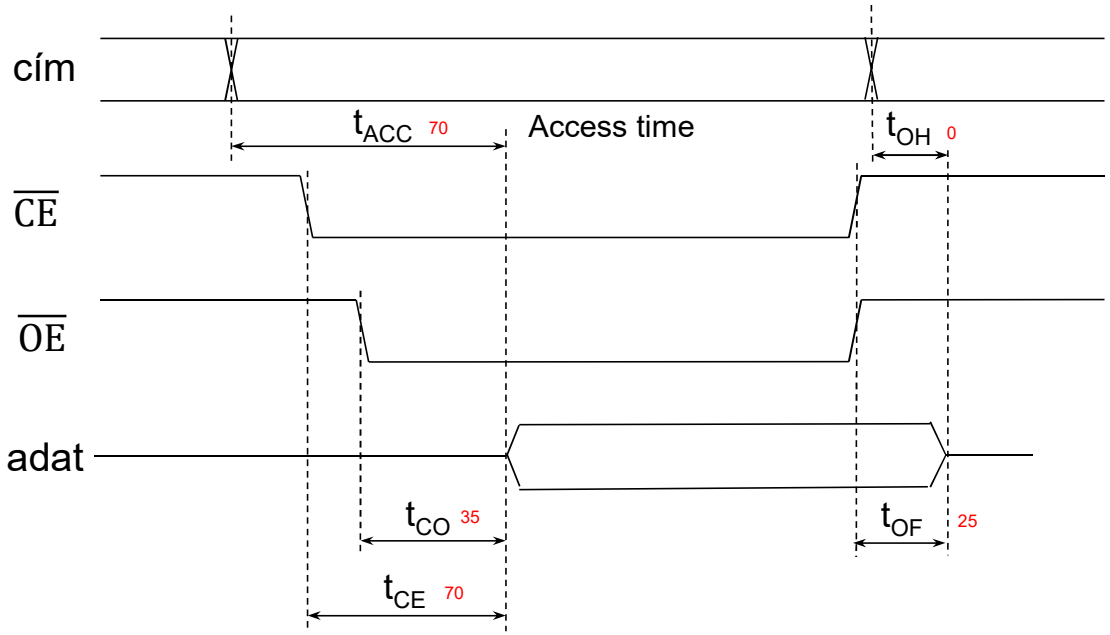
Engedélyezéshez dekóder



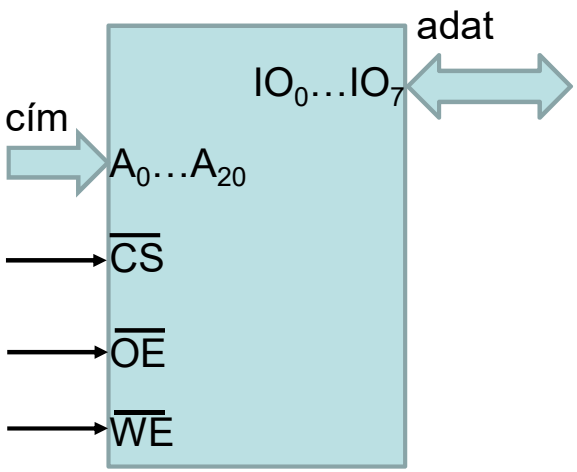
Memória – olvasás (FLASH)



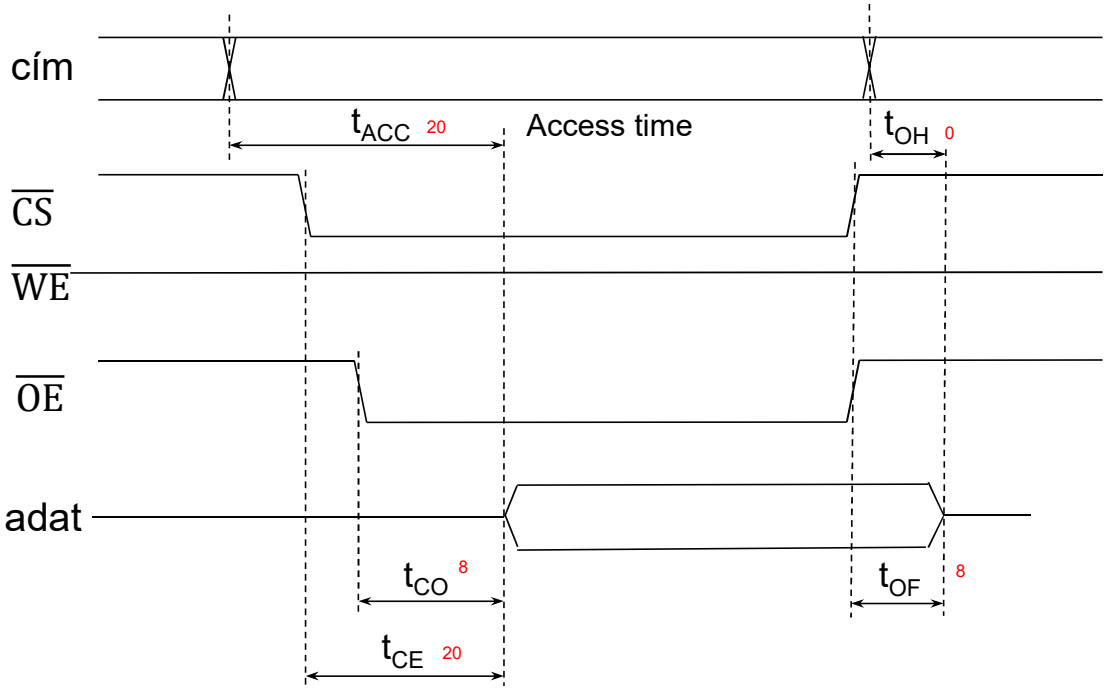
SST39LF010



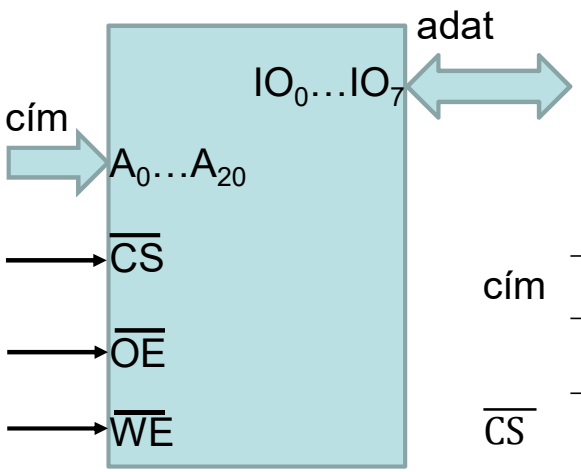
Memória – olvasás (RAM)



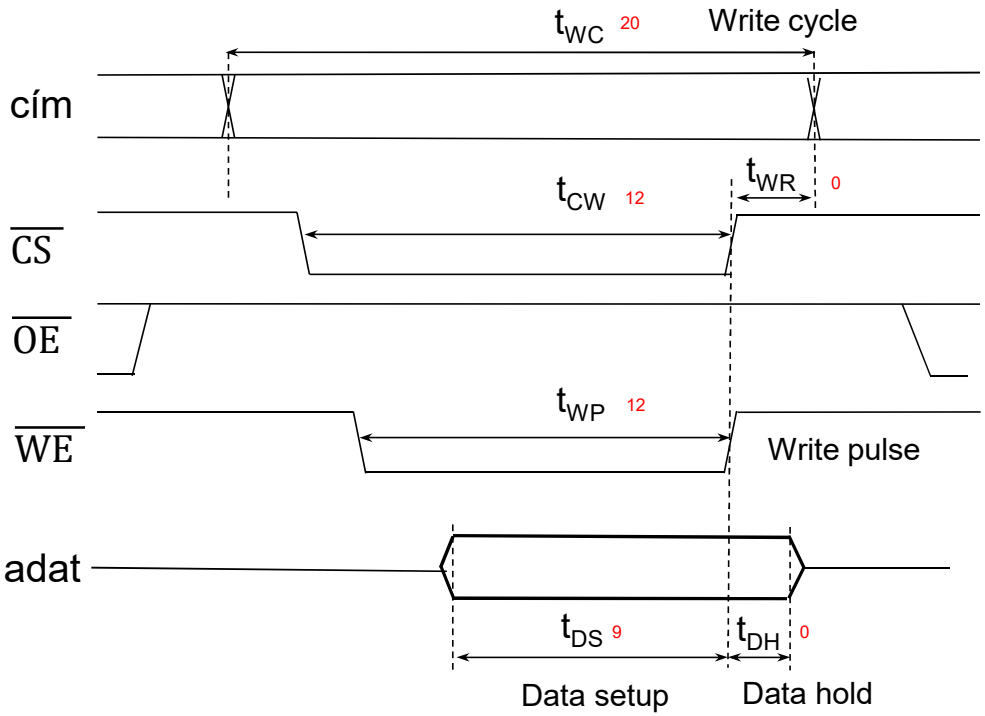
IS61WV20488FBLL



Memória – írás (RAM)

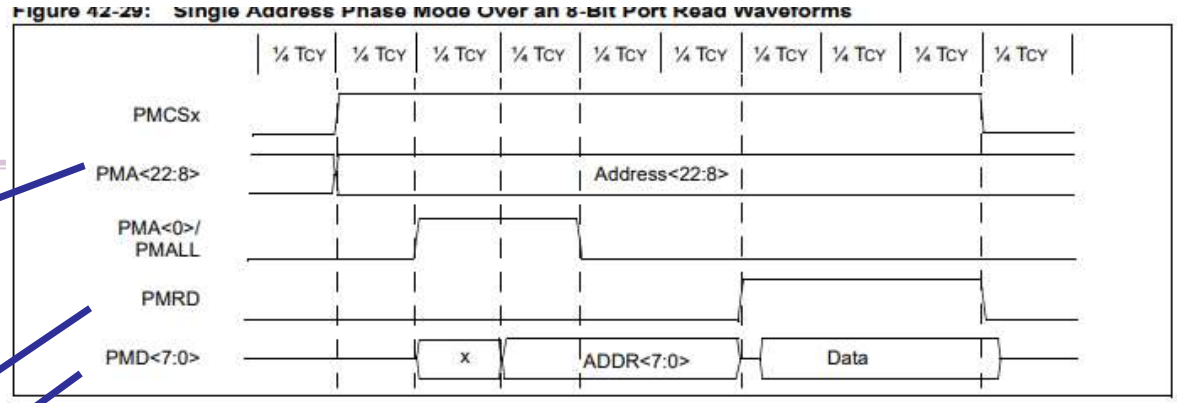


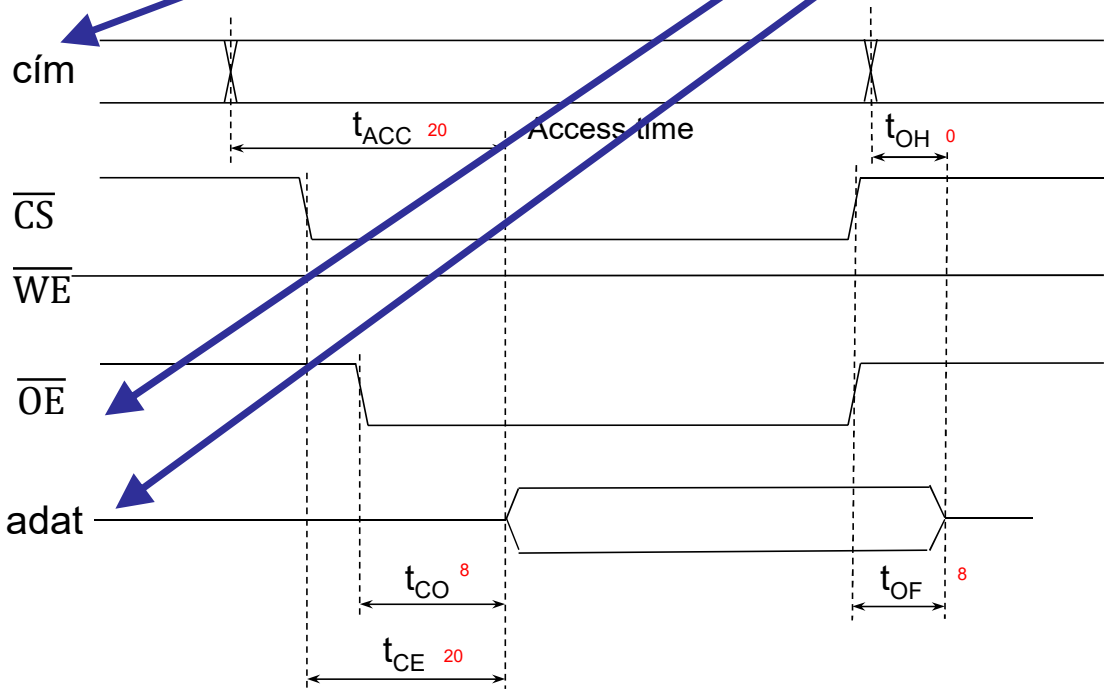
IS61WV20488FBLL



Az adat tárolása a felfutó élre történik

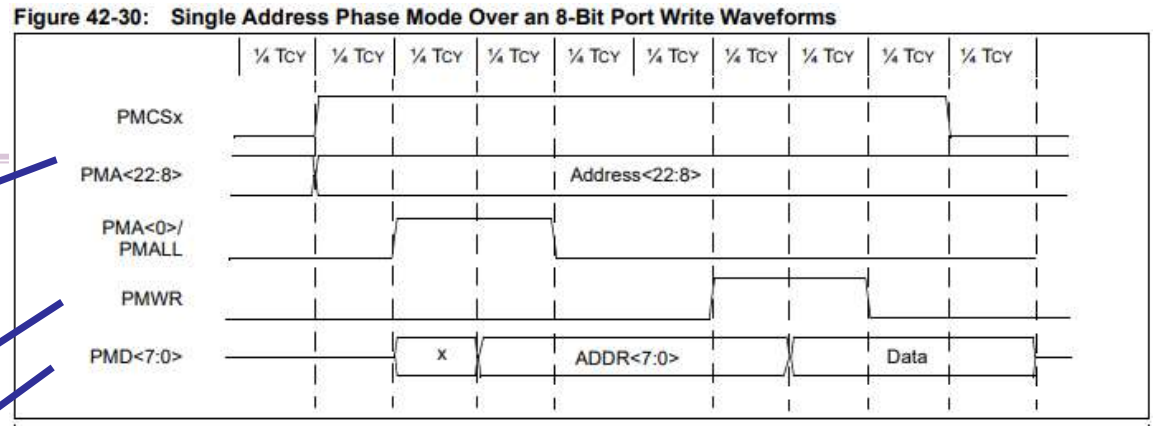
Illesztés

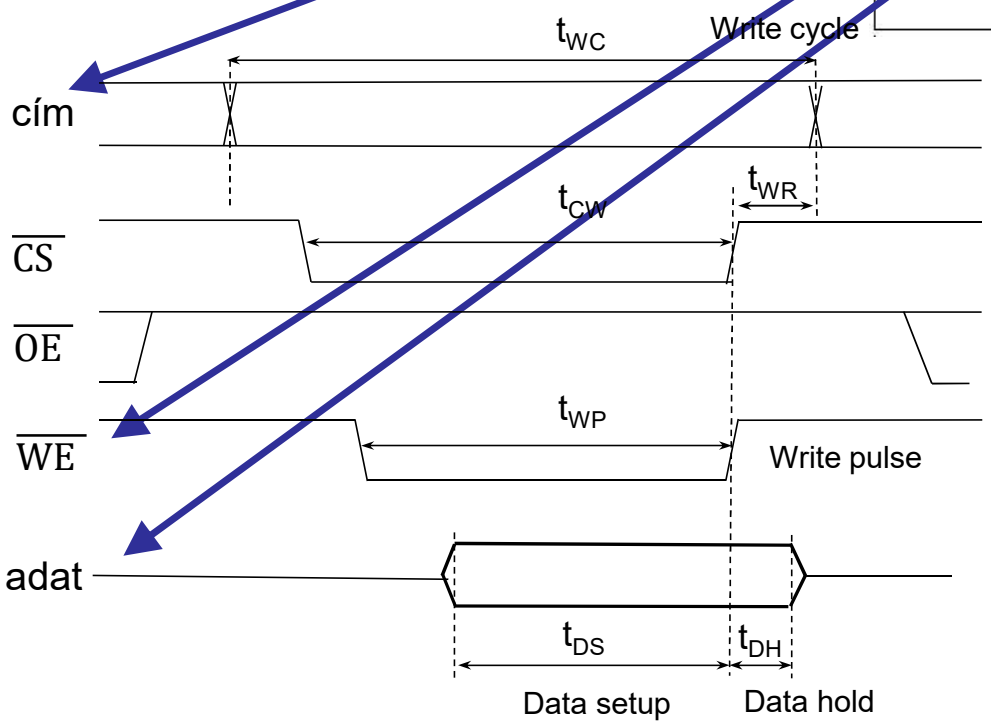




$$\overline{OE} = \overline{PMRD}$$

Illesztés

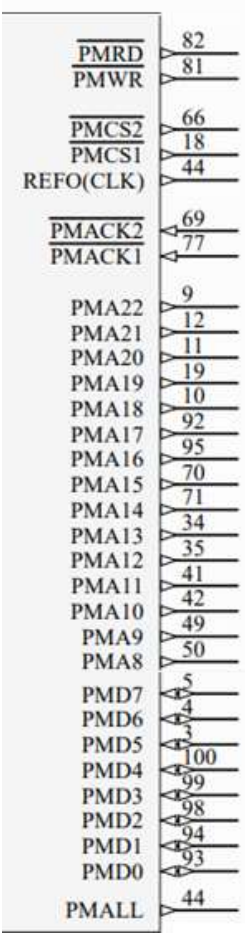




Az adat tárolása a felfutó élre történik

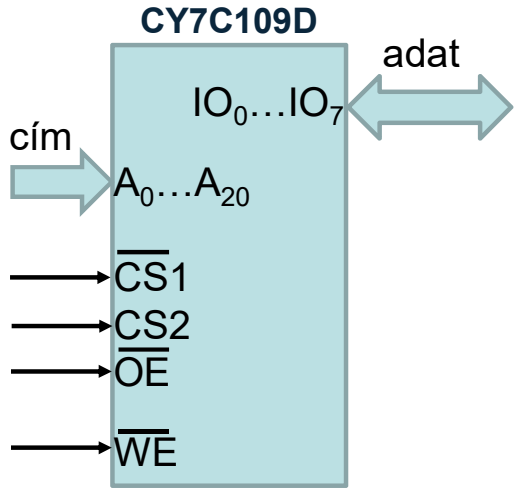
$$\overline{WE} = \overline{PMWR}$$

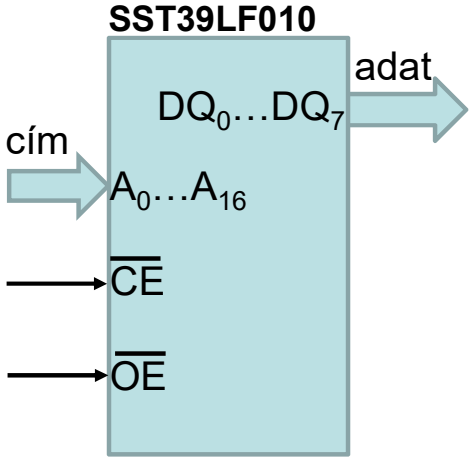
Illesszünk memóriát sínre

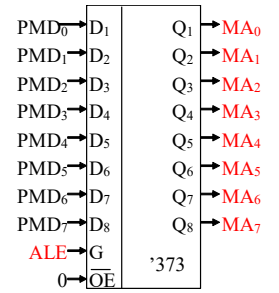


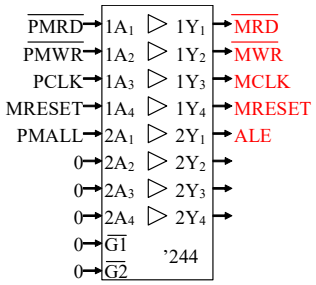
- 1db 64kB-os Flash
  - A második 64kB-ban
    - → 010000h-tól 01FFFFh-ig
- 1db 128kB-os RAM
  - Közvetlenül a Flash után
    - →020000h-tól 03FFFFh-ig

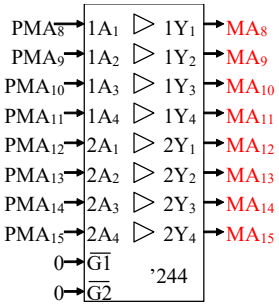
A_{22}	A_{21}	A_{20}	A_{19}	A_{18}	A_{17}	A_{16}	$A_{15}..A_0$	Memória	Címtartomány (hexa)
0	0	0	0	0	0	1	X	FLASH	010000 – 01FFFF
0	0	0	0	0	1	0	X	RAM	020000 – 02FFFF
0	0	0	0	0	1	1	X	RAM	030000 – 03FFFF

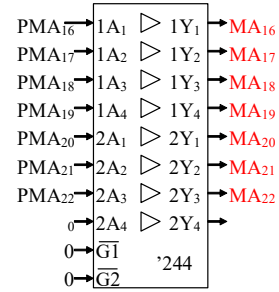


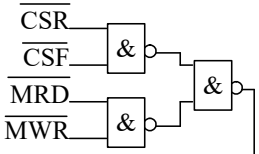


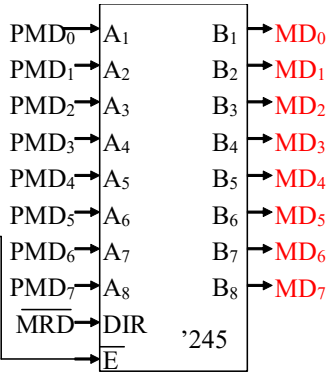

PMD0 D1 Q1 MA0
PMD1 D2 Q2 MA1
PMD2 D3 Q3 MA2
PMD3 D4 Q4 MA3
PMD4 D5 Q5 MA4
PMD5 D6 Q6 MA5
PMD6 D7 Q7 MA6
PMD7 D8 Q8 MA7
ALE G
0 OE
'373

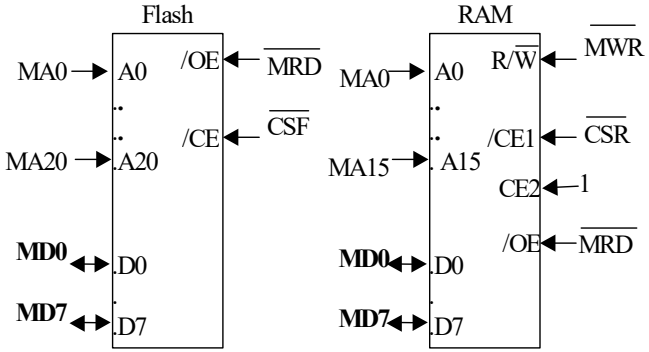

PMRD 1A1 1Y1 MRD
PMWR 1A2 1Y2 MWR
PCLK 1A3 1Y3 MCLK
MRESET 1A4 1Y4 MRESET
PMALL 2A1 2Y1 ALE
0 2A2 2Y2
0 2A3 2Y3
0 2A4 2Y4
0 G1
0 G2
'244

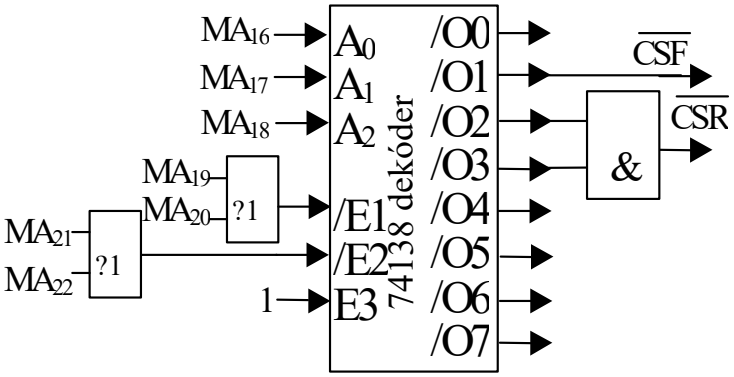

PMA8 1A1 1Y1 MA8
PMA9 1A2 1Y2 MA9
PMA10 1A3 1Y3 MA10
PMA11 1A4 1Y4 MA11
PMA12 2A1 2Y1 MA12
PMA13 2A2 2Y2 MA13
PMA14 2A3 2Y3 MA14
PMA15 2A4 2Y4 MA15
0 G1
0 G2
'244


PMA16 1A1 1Y1 MA16
PMA17 1A2 1Y2 MA17
PMA18 1A3 1Y3 MA18
PMA19 1A4 1Y4 MA19
PMA20 2A1 2Y1 MA20
PMA21 2A2 2Y2 MA21
PMA22 2A3 2Y3 MA22
0 2A4 2Y4
0 G1
0 G2
'244


CSR
CSF
MRD
MWR
&
&
&


PMD0 A1 B1 MD0
PMD1 A2 B2 MD1
PMD2 A3 B3 MD2
PMD3 A4 B4 MD3
PMD4 A5 B5 MD4
PMD5 A6 B6 MD5
PMD6 A7 B7 MD6
PMD7 A8 B8 MD7
MRD DIR
E
'245


Flash
MA0 A0 /OE MRD
CSF
MA20 A20 /CE
MD0 D0
MD7 D7
RAM
MA0 A0 R/W MWR
MA15 A15 /CE1 CSR
CE2 1
MD0 D0 /OE MRD
MD7 D7


MA16 A0 /O0
MA17 A1 /O1 CSF
MA18 A2 /O2
MA19 ?1 /O3 &
MA20 /E1 /O4 CSR
MA21 ?1 /E2 /O5
MA22 1 E3 /O6
/O7
74138 dekóder