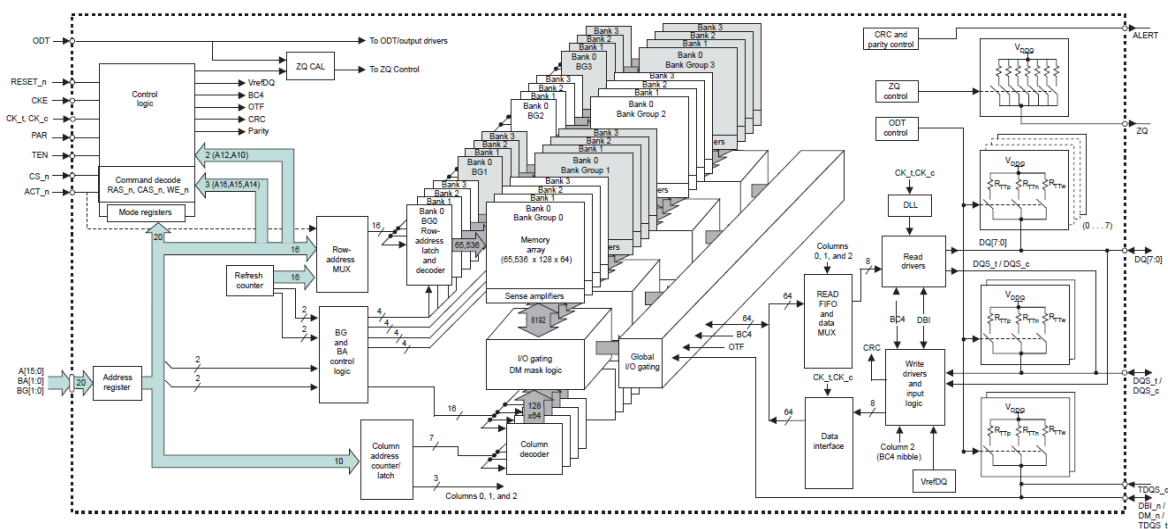


Elektronika alapjai 5. gyakorlat

A gyakorlaton megoldott feladatok

1. Általános memória felépítés

A valódi memóriák szervezése picit eltér az előadáson megismerttől. Ennek oka az, hogy egy nagy kapacitású memória esetén a memória mátrix kezelhetetlen méretű lenne, ezért több mátrixot helyeznek el a chip felszínén.



A gyakorlatvezető segítségével vizsgálja meg egy modern memóriachip címzését, pl. a csatolt ábrán szereplő 8Gb-es chipet! ([adatlap](#))

- mekkora méretű egy mátrix?
- hogyan történik pontosan a címzés?
- logikailag milyen felépítésű a memória?
- Hogyan lehet (kell) az előző chipet memória modulba szervezni, hogy 64 bites adatokat tudjon szolgáltatni?

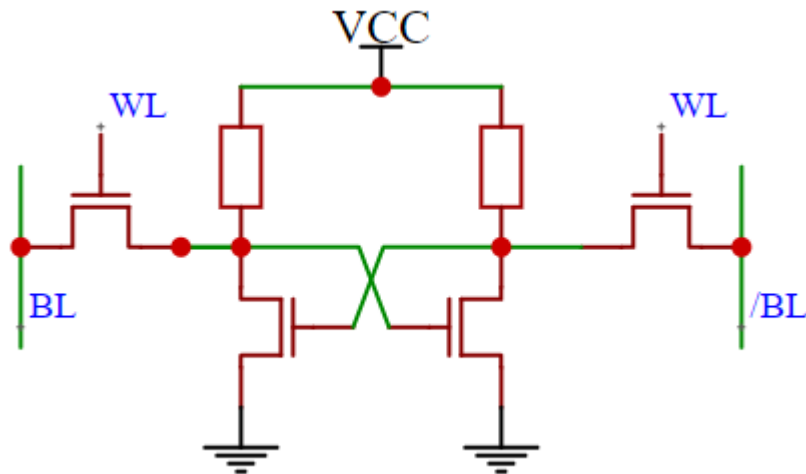
A címzés két részletben történik. A memória-mátrixok négy "bank-group"-ba szervezték, minden egyes csoport pedig szintén 4 mátrixot tartalmaz. Először a cím felső 20 bitjét kell közölni, ebből 4 bit azonosítja a csoportot és azon belül a mátrixot, az alsó 16 bit szolgál a sor kiválasztásra. A második részletben közölt cím 10 bites, ebből 7 bit azonosítja a kidekódolt soron belül egymást követő 64 bitet. Tehát egy mátrix 65536 x 8192 bitet tartalmaz, de - felkészülve az egymást követő adatok gyors továbbítására, ebből rögtön 64 bit kerül kiválasztásra. (Ez egy ún. DDR4 memória, amint az első adat elkészült, utána az órajel fel és lefutó élére további 7 adatot lehet továbbítani, ez az ún. burst)

Logikailag ez egy 1GByte-os chip, azaz 1G x 8 bit.

Memória modul esetén 64 bites szélesség eléréséhez 8 (ECC memória esetén 9) chipet kell felhasználni.

2. SRAM

A hat tranzisztoros cella mellett létezik az ún. 4 tranzisztoros memória cella is, melynek a kapcsolási rajza:



Hogyan működik ez a fajta elrendezés? Mi az előnye és mi a hátránya?

Hasonlóképpen működik, mint az előadáson ismertetett pseudo-NMOS logika, de itt az inverter egy nMOS tranzisztorból és egy ellenállásból áll. Ha az inverter kimenete 0, akkor az fizikailag nem 0V, hanem 0V-hoz közelálló feszültségszintet kapunk, és a nyitott tranzisztor az ellenálláson keresztül (az ellenállás jó nagy!) áramot ad a tápfeszültség és a föld között. Ebből az következik, hogy van statikus fogyasztás, méghozzá, logikai 0 esetén, ha a tranzisztor csatornaellenállása r_{DSON} , akkor a nyitott tranzisztoron és az ellenálláson $I = \frac{V_{CC}}{R+r_{DSON}}$ áram folyik. Mivel a tároló két keresztbecsatolt invertert tartalmaz, valamelyik mindenféleképpen vezetni fog, így a statikus fogyasztás:

$$P = V_{CC}I = V_{CC}^2 / (R + r_{DSON})$$

Ha feltételezzük, hogy R nagy (ez szükséges feltétel, hogy a logikai 0 szint tényleg a 0V környéki legyen, hiszen $V_0 = \frac{r_{DSON}}{R+r_{DSON}} V_{CC}$), és a tápfeszültség alacsony akkor a fogyasztás kordában tartható, cserébe, mivel az ellenállást fizikailag a tranzisztorok tetején valósítják meg, az elemek kisebbek, azaz a memória sűrűbb lehet.

3. DRAM

1. Mennyit változik meg a tápfeszültség felére előtöltött bitvonal feszültsége, ha tároló kapacitás 50fF, a bitvonal kapacitása pedig 500fF, a tápfeszültség pedig 1,2V?

Töltésmegosztás történik. Legyen V_S a kapacitás feszültsége, és V pedig a kiolvasás után a bitvonal feszültsége. Az összes töltés rákapcsolás előtt:

$$Q = \frac{C_{BL}V_{DD}}{2} + C_S V_S$$

Rákapcsolás után pedig:

$$Q = (C_{BL} + C_S)V$$

A töltésmegmaradásból kifejezhető a kialakult feszültség:

$$V = \frac{\frac{C_{BL}V_{DD}}{2} + C_S V_S}{C_{BL} + C_S} = \frac{5V_{DD} + V_S}{11}$$

azaz, ha a tároló kapacitás nem volt feltöltve, akkor a bitvonal feszültsége kb. 545mV, azaz kb. 55mV-ot csökken. Ha pedig fel volt töltve, akkor a bitvonal feszültsége 654mV lesz.

Látható, hogy a feltöltött- nem feltöltött állapot kiolvasása között kb. 100mV feszültségkülönbség van. Ha a sorok számát növeljük, azaz a bitvonal hosszabb lesz, ebből következően a kapacitása megnő, ez a feszültségkülönbség tovább csökken. Ez tehát egy gyakorlati határt ad a sorok számára, ebből következően a memória mátrix méretére.

2. Feltételezzük, hogy egy DRAM cella tárolókapacitása 50fF, a teljesen feltöltött kapacitás feszültsége 1,2V. Hány elektron van a kapacitásban? A kapacitásban tárolt töltés:

A kapacitásban tárolt töltést kell elosztani az elektron töltésével:

$$CV/q = 6 \cdot 10^{-14} / 1,6 \cdot 10^{-19} = 375000db$$

3. A cella szivárgási árama 0,5pA. Mennyi idő alatt csökken kapacitás feszültsége a felére?

A kapacitás töltését az (erős közelítéssel állandó) szivárgási áram csökkenti. Azt kell kiszámolni, mennyi ideig tart a töltés felének eltávolítása:

$$t = \frac{Q}{I} = \frac{CV}{2I} = 60ms$$

4. A szivárgási áram hőmérsékletfüggő. Kb. 30°C hőmérsékletnövekedés megtízszerezi a szivárgási áramot. Az előző példa adatai 25°C-ra vonatkoznak. Mennyi idő alatt csökken a kapacitás feszültsége a felére 90°C hőmérsékleten?

A szivárgási áram növekedése 90°C-25°C = 65°C növekedés hatására a feladat szerint:

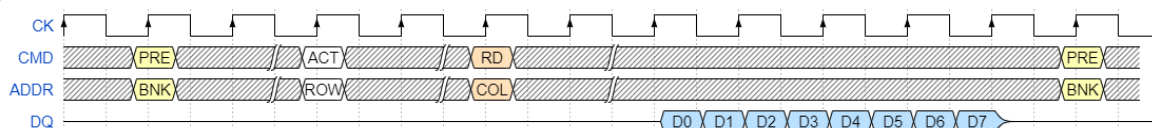
$$I = 0,5 \cdot 10^{30} = 73,4pA$$

A megnövekedett áram sokkal rövidebb idő alatt csökkenti le a kapacitás töltését:

$$t = 0,4ms (!)$$

A DRAM memóriákat hűteni kell, ellenkező esetben túl gyakran kell frissíteni, ez további teljesítményigénnyel és sávszélesség csökkenéssel jár.

5. Az alábbi egyszerűsített - DDR SDRAM-ra vonatkozó időzítéseket tartalmazó ábra segítségével magyarázza meg, mikor mi történik a memória hozzáférés során, mikor mire kell éppen várni :-)



7. Az SDRAM-oknak parancsot kell küldeni az egyes üzemműállapotok eléréséhez. Ezek a parancsok a következők:

PRE - precharge, előtöltés. A kiválasztott bankot megnyitja, majd a bitvonalakat olvasáshoz a tápfeszültség felére előtölti

ACT - activate, egy, előzőleg előtöltött bank aktiválása. Ennek hatására a sorcímet kidekódolja, a szóvonalat aktiválja és az információ a bitvonalakra kerül.

RD - olvasás, az alsó bitek által kiválasztott oszlop olvasása.

Három számmal szokás egy adott frekvenciájú SDRAM-ot jellemezni.

RP: az előtöltés ideje, órajelben

RCD: RAS-to-CAS delay, az aktiválástól az oszlop kiválasztásig

CL: CAS latency, az oszlop megadásától a az adat megjelenéséig

Az óra elején látott chip esetén mindhárom érték 22 órajel (az órajel 1600MHz), azaz a teljes olvasás megkezdése után az első byte 41,25ns múlva érkezik meg, majd utána 0,3125ns - onként érkezik még 7. (alapesetben, 8-as burstnél)

Ez elkeserítően lassúnak tűnik, hiszen alig használjuk ki a rendelkezésre álló sávszélességet, de az architektúra rengeteg párhuzamosítási lehetőséget tartalmaz. Miközben pl. egy bankot olvasunk előtölthetünk egy másik csoportot stb. Ez a DRAM vezérlő feladata és nem egyszerű.

4. Flash memóriák

1. Egy 64Gbites MLC flash memória egy tranzisztora 4 állapotot tud tárolni. Mekkora kapacitású lenne egy ugyanilyen technológiával készült SLC memória?

Az MLC memória egy tranzisztorban 4 állapotot, azaz két bitet tud tárolni. Ezzel szemben az SLC tranzisztoronként csak 1 bitet tárol, tehát ugyanabban a fizikai elrendezésben és tranzisztorokkal az SLC memória fele akkora kapacitású, azaz 32Gbites lenne.

2. A flash EEPROM hátránya, hogy egyszerre csak nagyobb blokkban törölhető. Non-volatile tárolás céljára lehetséges azonban egy hagyományos memória szimulációja. A megoldás lényege, hogy a megváltozott adatot *logikailag törölnék* jelöljük be (programozni tudunk szavanként, csak törölni nem), majd folytonosan írjuk, minimum két lapra. Ha egy lapot teleírtunk, az írást a következő üres lapon folytatjuk, miközben a teleírt lapot töröljük.

a) Tételezzük fel, hogy 2db 16kbyte-os lapot használunk fel tárolás céljára, a tárolandó információ pedig 512 byte. Hányszor írhatjuk újra, ha egy lapot biztonságosan tízezerszer lehet törölni?

b) Hány lapot kellene használni, hogy a tárolandó információt garantáltan 1 000 000-szor tudjuk írni?

Ha folyamatosan írjuk, akkor az első lap $16k/0.5k = 32$ írás után, a második lap 64 írás után telik meg. Azaz kb. 640 000 -szer írhatjuk újra. Egymillió íráshoz a három lap nem elegendő, ezért 4 lapot, 64k-t kell használni.