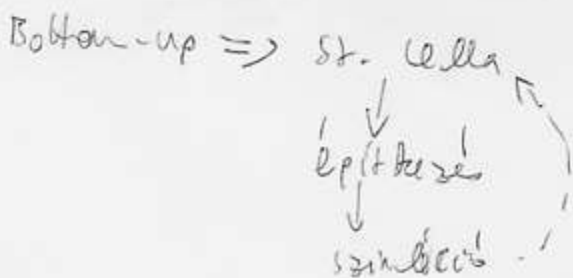
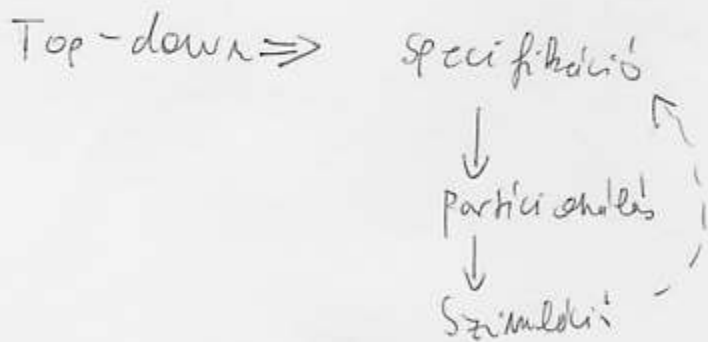
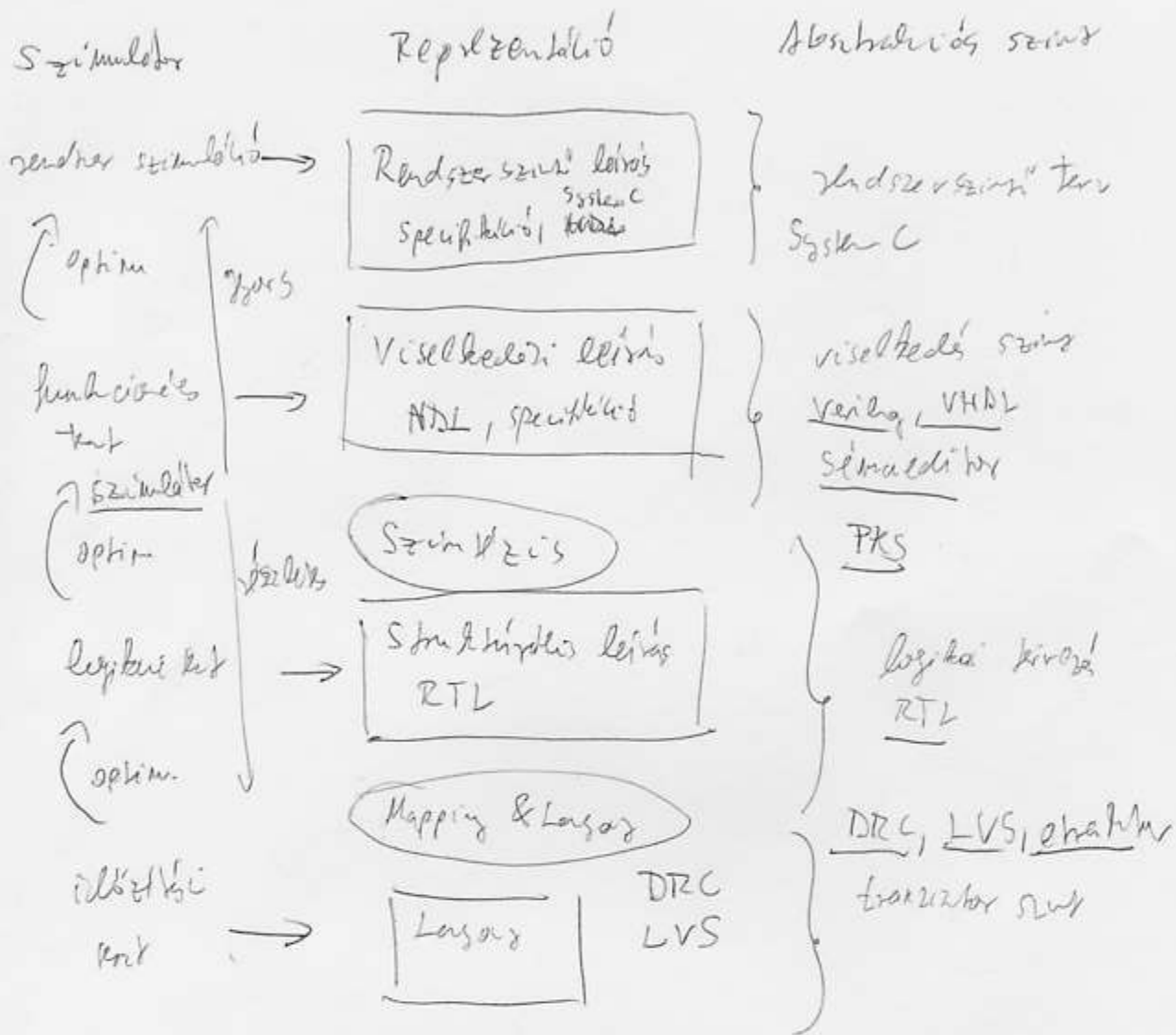
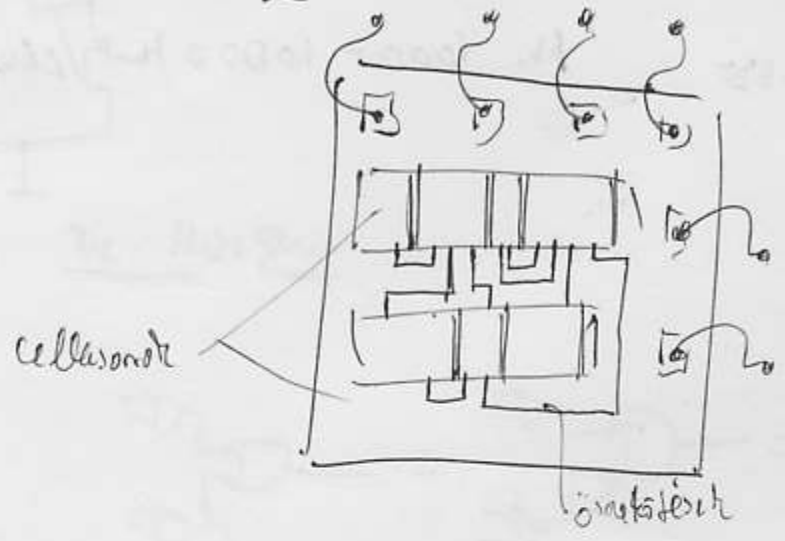


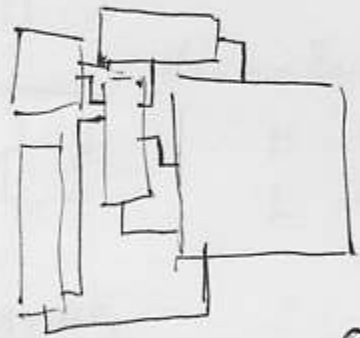
① IC design-flow



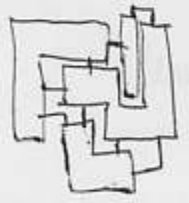
IC



- Maskcella ⇒ mixed mem standard



⇒ full-custom



előgyártott előtervezés alk.

PROM
FPLA
PAL

ROM
PLA
KAL

környári
cellák

full
custom

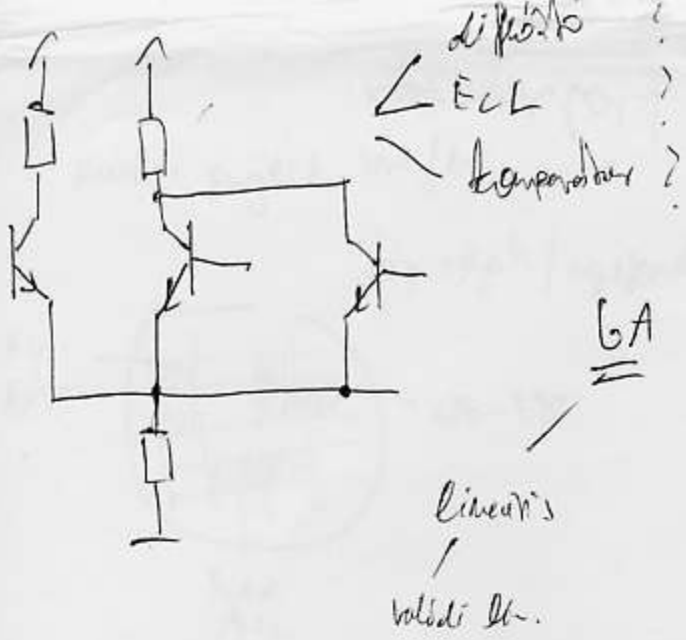
FPGA
FPLS

GA

logikus

gátló

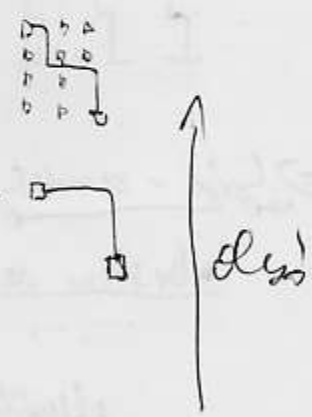
Programoz



- tranzistorok - kötések → kis méret
- nagy sebesség
- NPN-PMOS
- FET

- ellenálló körök = túljelölés
- áramkörök - áram
- diff.

- programozható áramkörök
 - jémesítés
 - finom kontaktusok
 - méret + diff.
 - full custom



⇒ Standard cellás IC

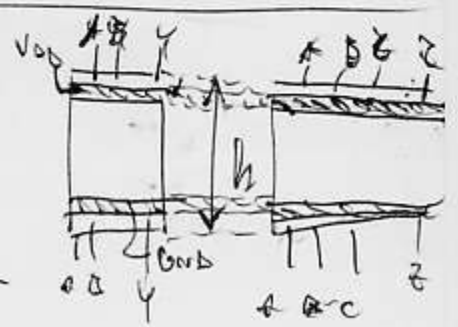
a mikrodoboz elemek
+ szemenstílus (logikai
alagazás)
előkezelés

⇒ "Cella környezet" →

- méretek
- hogy miközött
- áram, áramjelv.
- időzítés
- fan in → beérkező mértékű jel
- fan out

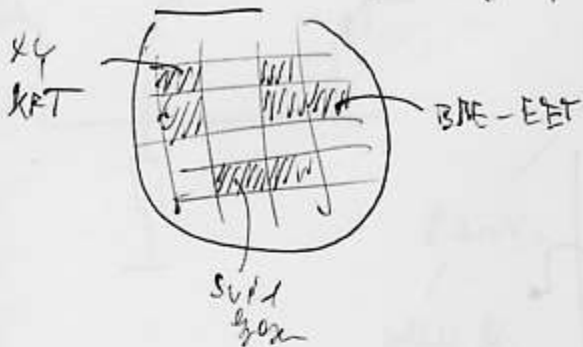
Standardizálás

- méret / magasság
- áram, hő, elhelyezés
- költségek csökkentése
- időzítés
- beérkező mértékű jel

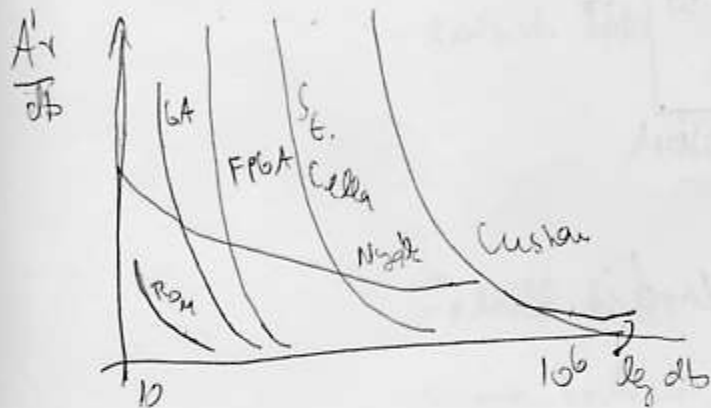


PW - multi project wasser

bis wagt / ergebnisse



hb. 1000 - 10000 Hz / Chip



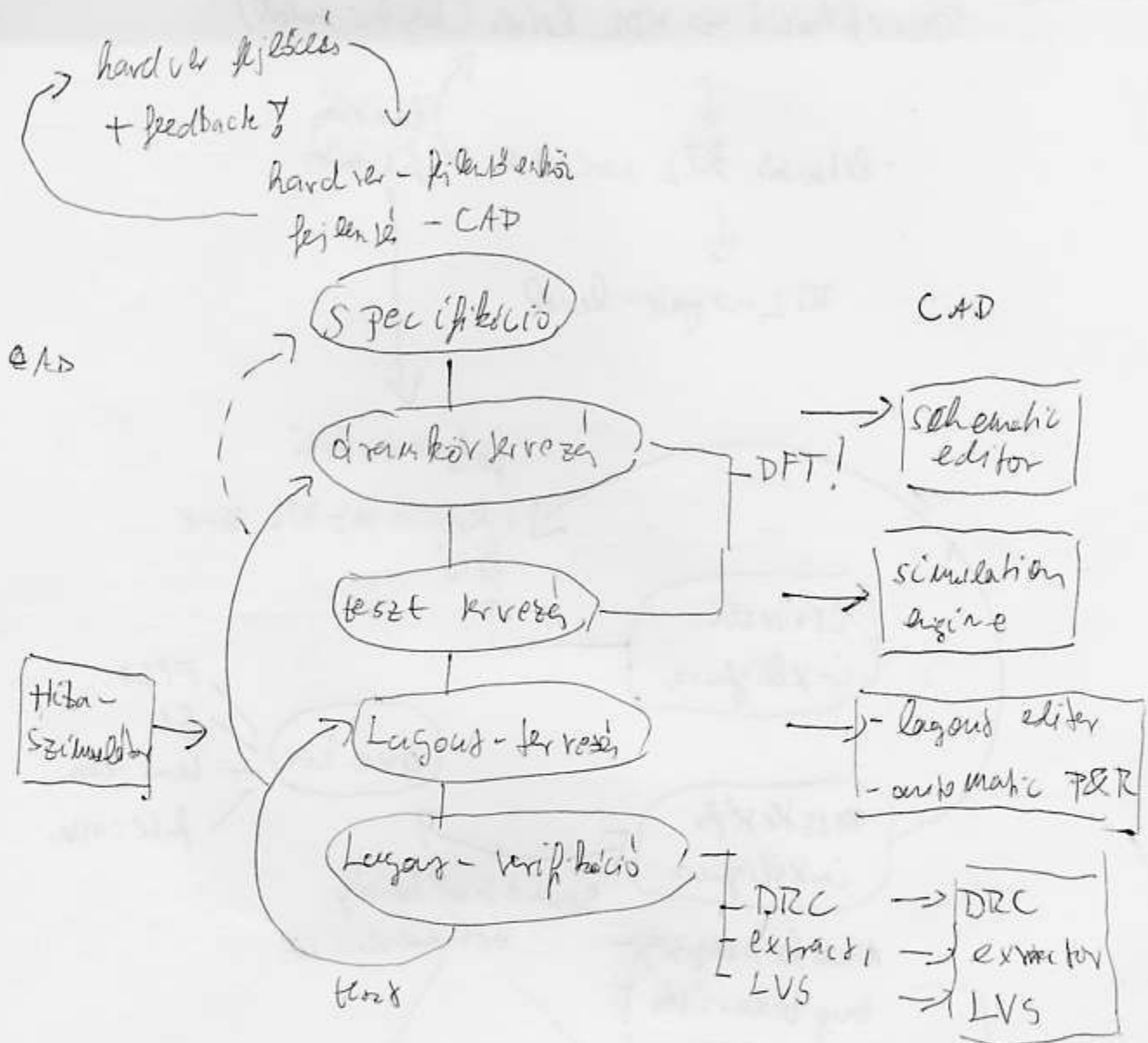
③ A tervező feladatai az ötlettől a sorozatgyártásig, szerepe a megrendelő és a gyártó között. A specifikáció!



Specifikáció
 - a működés leírása
 / | \
 szöveg truth table HDL

- frekvencia
 - mi a technológiai határ
 - mire van szükség?
- tápellátás, hőelvezetés, teljesítmény, hőfok
- tolerancia, lebegési szint
- sorozat mennyiség

(4) Rendszertervezés: Hierarchikus közi körök



5) Rend szerkezet: HDL

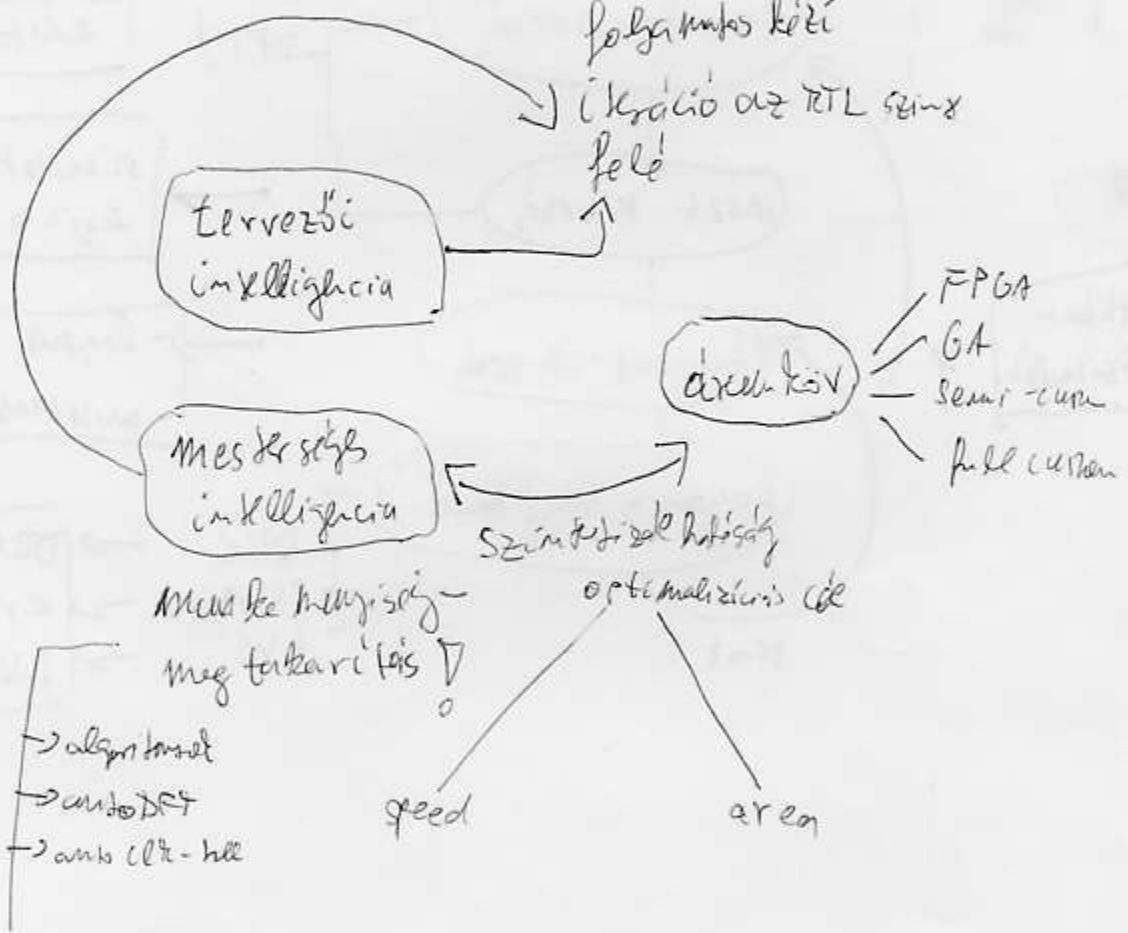
Top-down

Specifikáció → HDL szint (logikai modell)

↓
lehető RTL szintre } tenkés
szimuláció

↓
RTL → gate-level

↓
folyamatos kézi
iteráció az RTL szint
felé

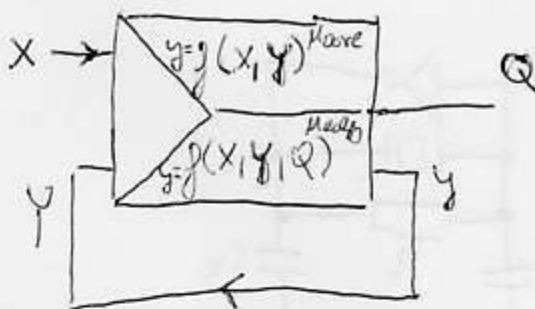


- algoritmusok
- autoDFP
- auto CLK-hell

⑥ Tervezési szempontok, szinkron és aszinkron hálózatok.
 Reset, órajel, tippok.

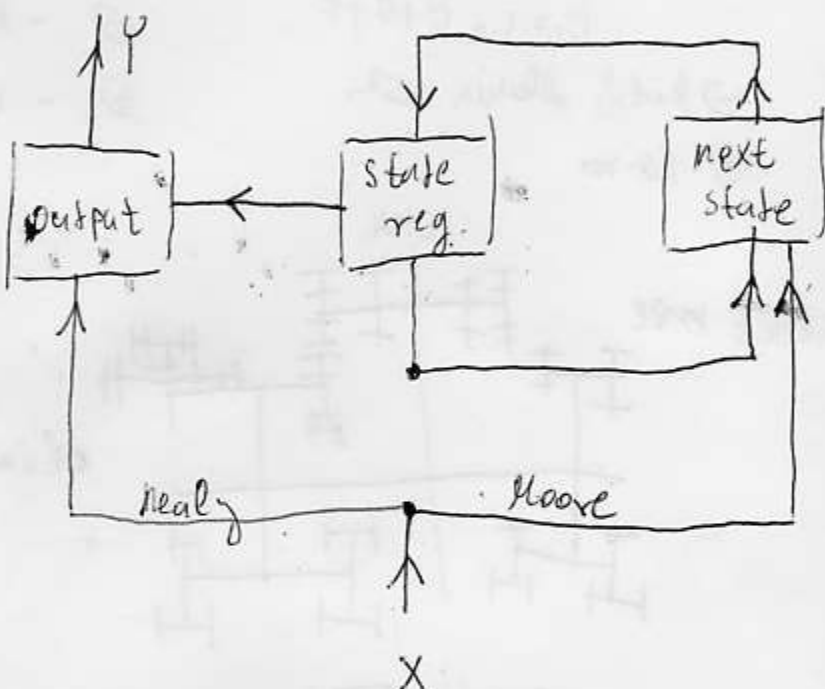
Szinkron hálózat

- ⊕ - könnyen tervezhető
- hirtelen kevésbé érzékeny
- jól kidolgozott elmélet
- ⊖ - sok kapu, sok Si
- nagy teljesítményfelv.
- clock skew



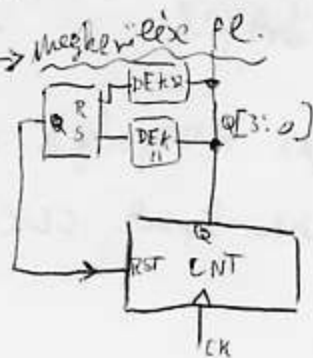
állapotkezelés:

- általában one-shot (1 ff / állapot)
- lineáris program esetén
- ↑ - szabályos vezérelt működés
- pipeline
 - párhuzamos feldolgozás
 - az eredmény egy Tck-val később áll elő



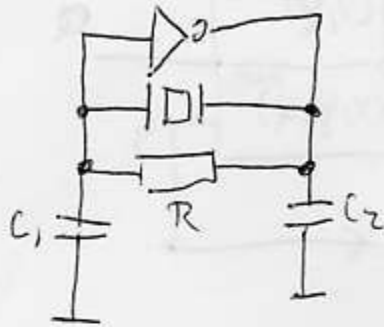
Aszinkron hálózat

- ⊕ - szabad építkezés, órajel sem kell → általában szinkron hálózatba ágyazva!
- kevés elemből felépíthető
- kis fogyasztás
- ⊖ - néha a tökéletes tervezés
- hirtelen vesztély
- kritikus versengőhelyzetek



- Órajel előállítás

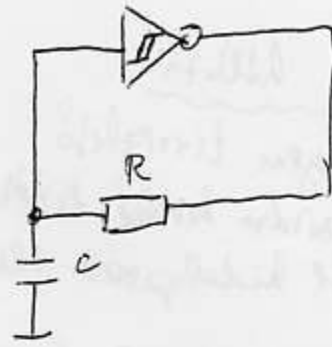
Pierce - oscillator (XTAL)



$C_1 = C_2 \approx 10 \text{ pF}$

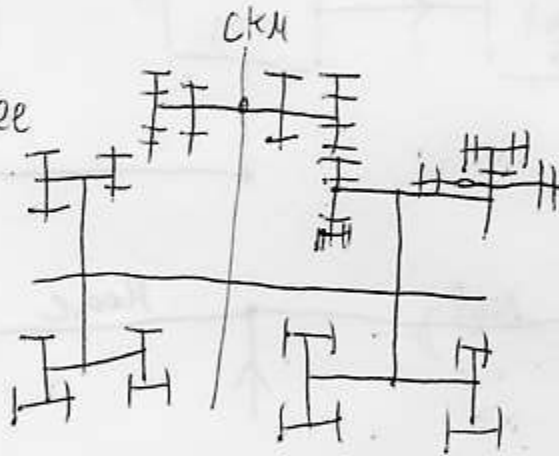
- ⊖ külső alkalmas zűrés.
- ⊕ pontos

Schmitt - triggered RC - oscillator

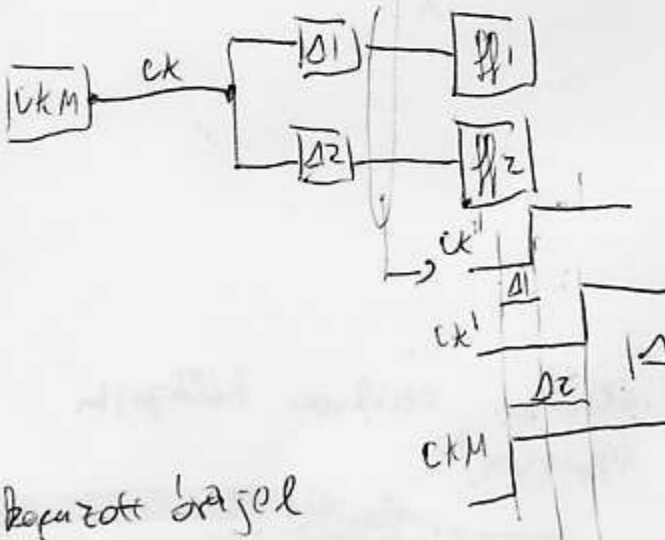


- ⊖ - kevésbé stabil működésű
- ⊕ - belső (T_C -ben) megvalósítható

- clock tree



szimmetria kell követelni.



$|\Delta 1 - \Delta 2| = \text{clock skew}$

- kopozott órajel

- veszélyesek a hold time-s
- csökken a max. terjedési időt

- egyes részegységek "elakasztása", ha nincs adat.
- nem kopozott CLK-t

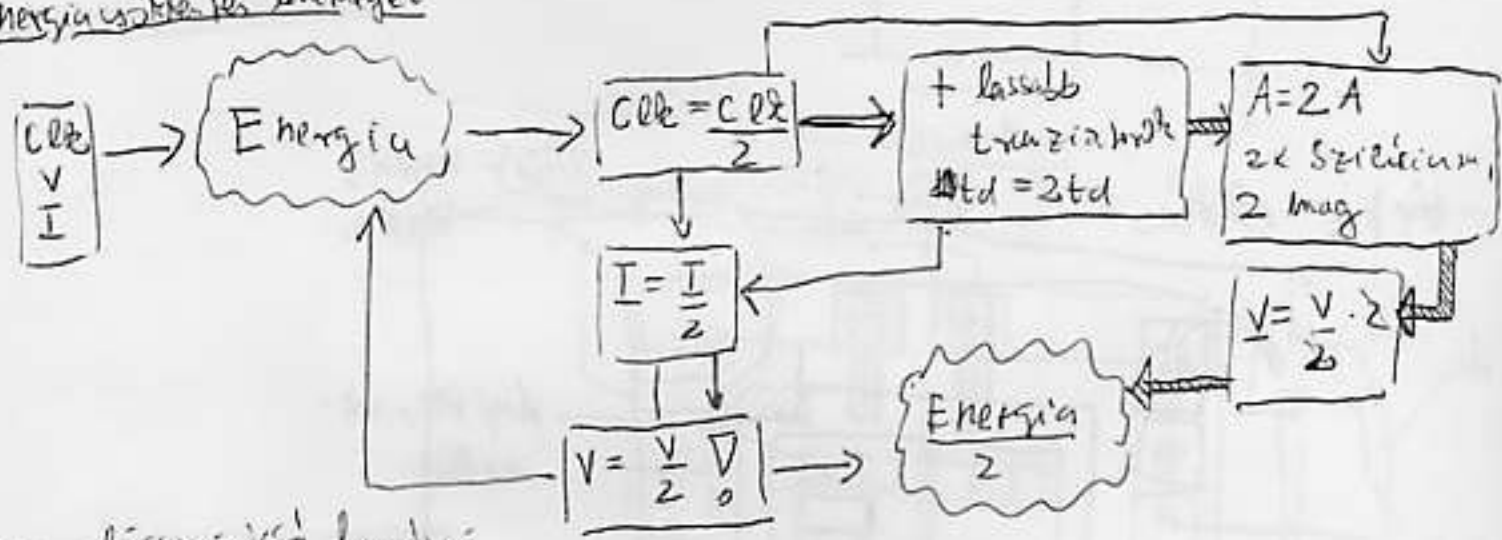
⑦ Tervezési szempontok: disszipáció & fogyasztás

kis fogyasztás - low power



Példa
 $f = 1 \text{ GHz}$
 $V_{DD} = 1.2 \text{ V}$
 $n_{tr} = 10^6$
 $d = 2\%$
 $C_L = 200 \text{ fF}$ / tranzistor
 $P_D = 0.5 C U^2 \cdot f \approx 20 \text{ W}$

Energiaátvitel és lehetőséi

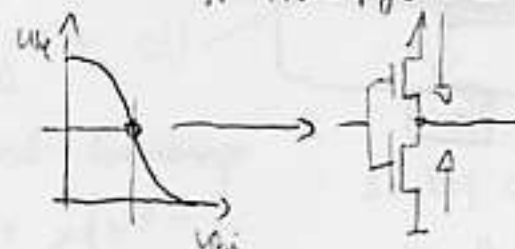


- a disszipáció forrása

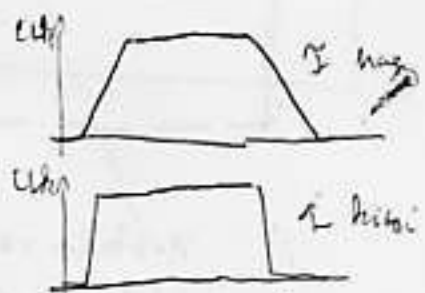
- statikus áramfelvétel

- V_t alatt is van szivárgási áram!
- V_t fölött is van a stat. áram probléma még!
- lehet ez is termikus probléma

- rövidzárlati áram, glicke áram



Áramerősség, I_{D0}



- dinamikus, kapacitív költődés

$P_D = 2 \cdot 4 d_i C_i V_{DD}^2$

↳ switching activity

$P \approx C \cdot (V_{DD} - 2V_t)^3 \cdot f$

$d = P(\sqrt{f}) = P(x) \times P(y)$ inv: 50%

⑧ Testelhetőségre tervezés

DFT - Design for testability

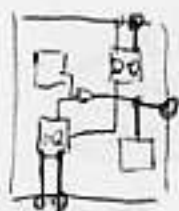
Specifikáció → tesztelés → a chip beépje helyesen
 hozzájárulhat ← rossz gate/pin arány

Testelhetőséghez → többet } test over head
 - logika }
 - si }
 - pin } 1-10% Area

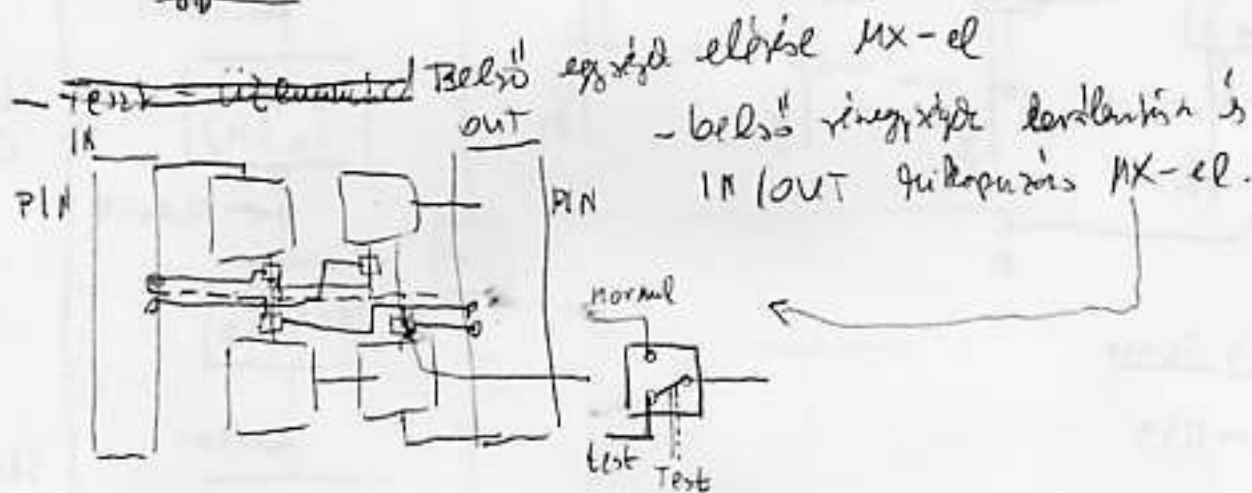
- Ad-hoc módszerek

- test - pinel

- belső csatlakozók
 közvetlen vezérlése

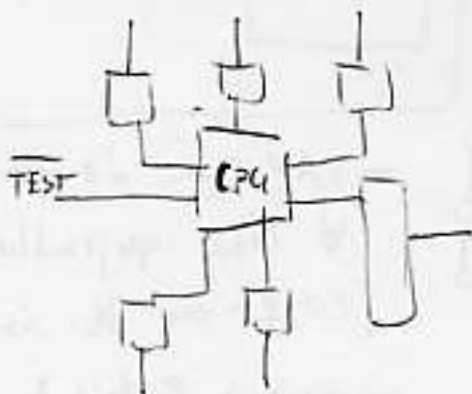


⊖ ugyan-sze pin! → drága



- Test üzemi mód

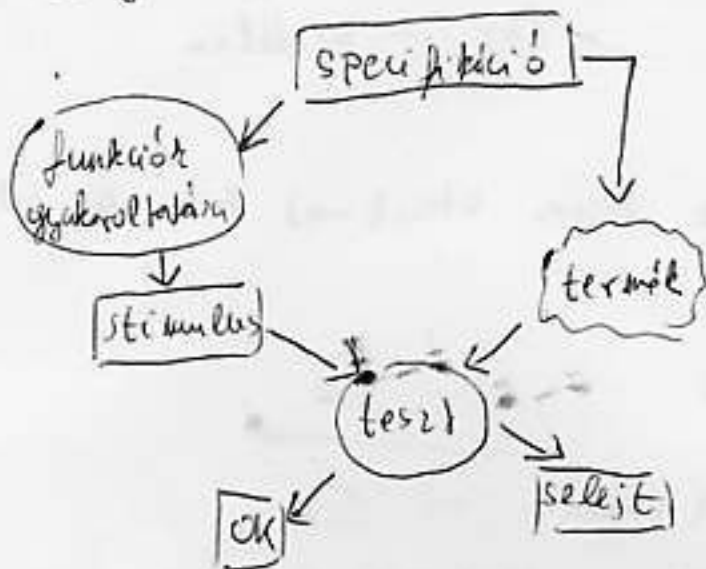
- belső vezérlés állapotán Test üzemi mód



② Funkcionális és strukturális tesztek. Tesztgenerálás módszerei, Tesztek.

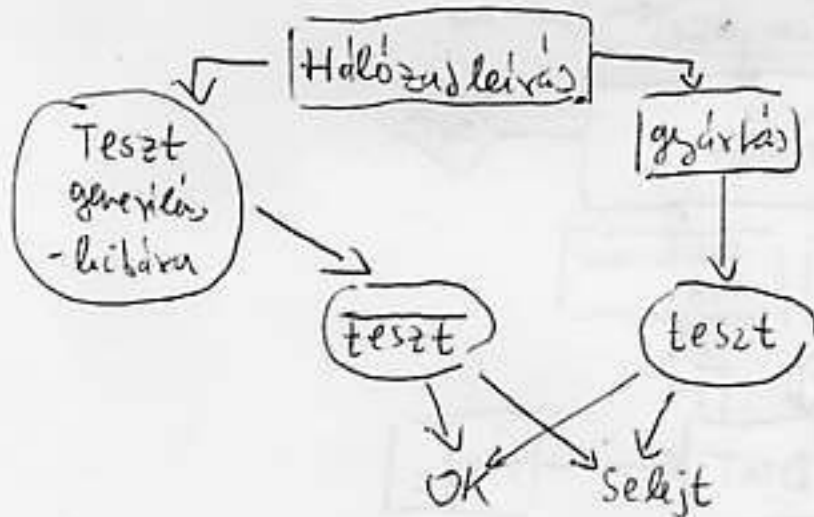
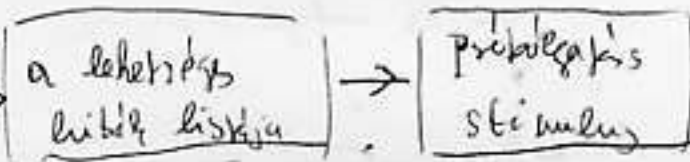
Funkcionális tesztek

- teszteljük az áramlást, keressük meg az összes funkciót!



Strukturális tesztek

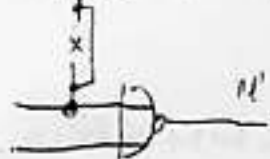
(hibamodellel)
hibázatlanság



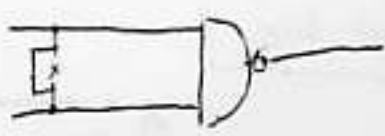
(11) HÍBOK NEMELÉSE, HIBAKÉPEZÉSE, HIBASZIMULÁCIÓ

- Chip hibás működésnek alkalmas fizikai okai → hibamodell
- kiatkaadás (stuck-at-0)

- JKA - VSS, VDD zárás



- jelvezetés - Zárás (bridging)



TTL - $\frac{V_{SS} + V_{DD}}{2}$
 CMOS - $\frac{V_{DD}}{2}$

- stuck-open tr.

- kapacitív még nem sült ki, ezért drainje nem hajt.

hibamodellálás stuck-at-0

- 0-ás kimenetűk vezérlése a kimenet 0 esetén jó.

Ezzelrekor generálás helyett

- Boole fr. implem. nem ~~explicit~~ explicit.

megfigyelés

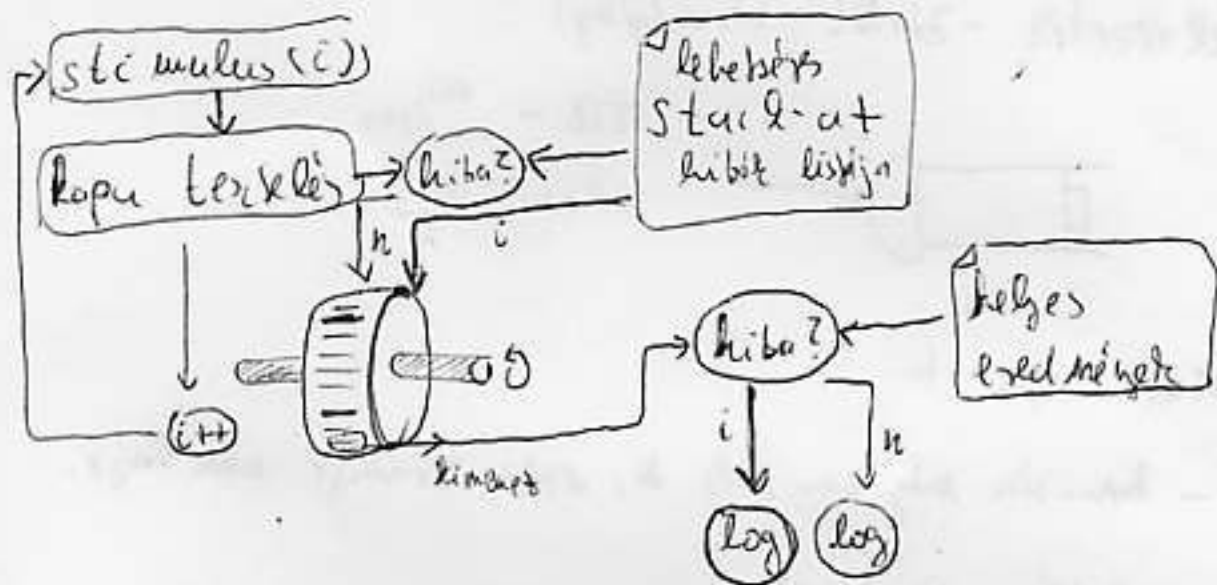
→ utazókerék útca

$$\text{hiba lefedés} = \frac{\text{deklarált hiba bit}}{\text{lehetős hiba bit}}$$

$$S \approx \frac{(1-c)(1-y)}{1-c(1-y)}$$

sejt \nearrow S \nearrow $(1-c)$ \nearrow $(1-y)$ \nearrow $1-c(1-y)$ \nearrow $1-c$ \nearrow $1-y$ \nearrow $1-c(1-y)$ \nearrow $1-c$ \nearrow $1-y$ \nearrow $1-c(1-y)$ \nearrow $1-c$ \nearrow $1-y$ \nearrow $1-c(1-y)$

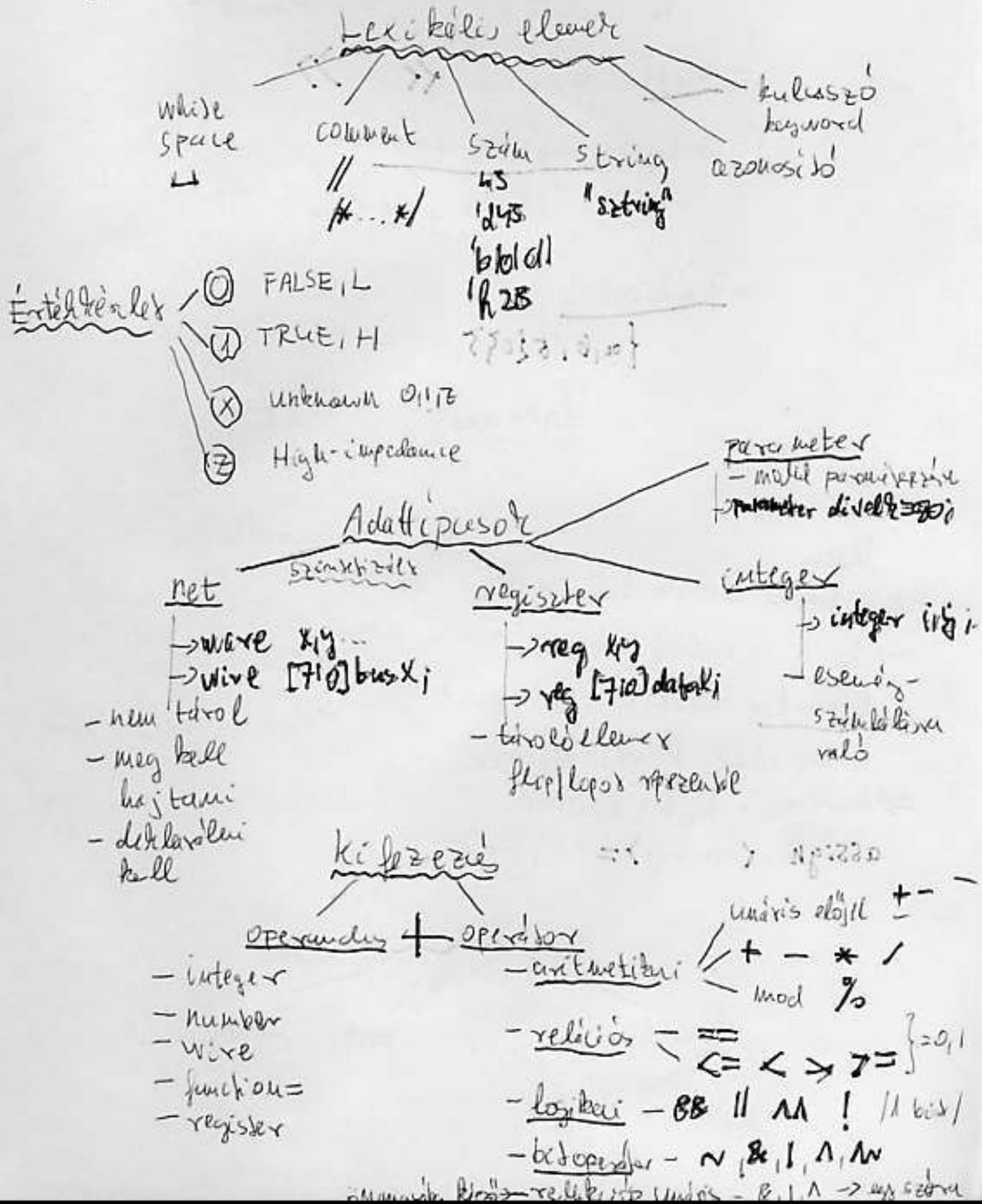
- teszt szekvencia hibalefedése? \rightarrow hibaszimuláció



- ha a hibalefedés nem elég, új vektor / stimulus / új hibaszimuláció kell.

② Verilog leírás elemei, adattípusok, kifejezések, értékadás, viselkedési modellek

Verilog → HDL (Hardware description language)



(13) Verilog: Procedurális (értékek, feltételek), modul deklarációs és felépítés, hierarchikus struktúra és testbenél



module top_modul (P1, P2, ..., Pn)

input P1, P2; ← input port

output P3, P4; ← output port

inout ~~port~~ ~~bus~~ [7:0] Pbus; ← 8 bit széles output-input port

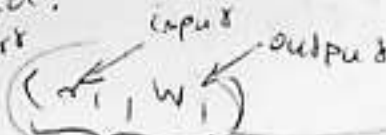
reg r1, r2; ← regiszter, ami hajtani tud inputot.

wire w1, w2; ← vezeték, ami egy output hajtani tud.

{ kbd a top modulban } input

submodul

elso submodul



modul-név

példánév

forblista → betétesor

submodul 2 #P1vali = (ujparam) modulnév (r5, w3, w2)

endmodule

module submodul1 (p1, p2, ..., psm)

input p1 ...

output psm ...

reg ...

wire ...

assign <net> = ... → folyamatos értékadás

initial ← egyező feltétel, nem szintézis nélküli blokk.

~~{ parameter }~~

begin
{ parameter }
end } egy blokk

always @ (posedge ^{with key} $\langle jel \rangle$) ← @ kijelöléskor mindig feltétel blokk
begin

$\langle regiszter \rangle = \langle kifejezés \rangle$ ← blokkoló utasítás,
a kiértékelésig a program áll.

$\langle regiszter \rangle \leftarrow \langle kifejezés \rangle$ ← nem blokkoló utasítás
a kiértékelés után befejeződik a
program futása, más időhöz kerül.

if ($\langle kifejezés \rangle$) $\langle utasítás \rangle$
[else] $\langle utasítás \rangle$ ← felkötél kiértékelés
[else if]
begin
end

end if
case ($\langle kifejezés \rangle$) ← case x is kifejezés

right: $\langle utasítás \rangle$
:
right: $\langle utasítás \rangle$
default: $\langle def. ut. \rangle$

end case

repeat ($\langle db \rangle$) $\langle ut. \rangle$

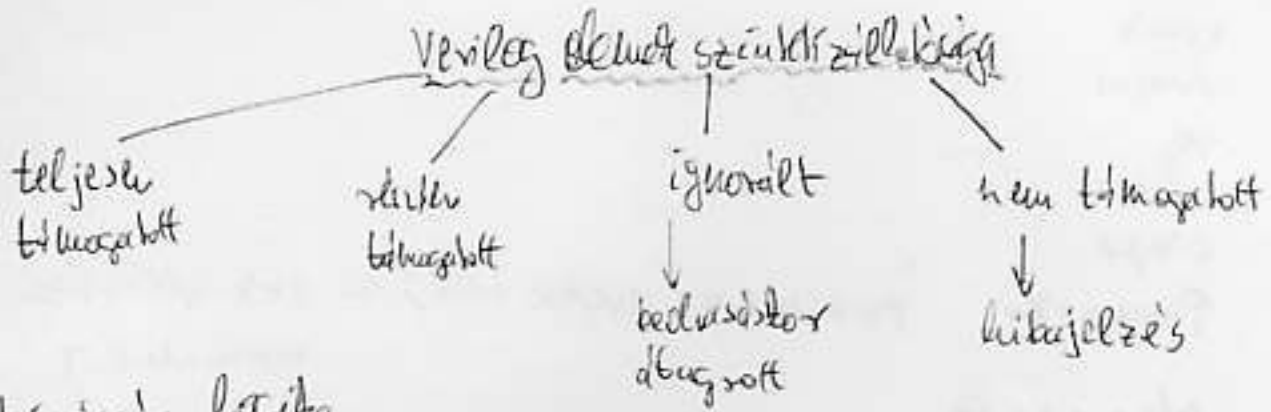
while ($\langle leállás\ felt. \rangle$) $\langle ut. \rangle$

for ($\langle start: felt. vég: lépésök \rangle$) $\langle ut. \rangle$

end

end module

14) Verilog szerkezetek szintézise



Kombinációs logika

→ assign, folyamatos értékelés

reg a, b, c;

wire y;

assign y = a || b || c;

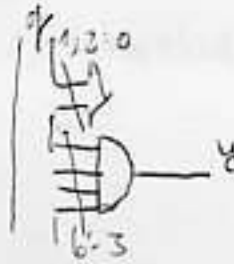


→ redukció más operátorral

reg [7:0] q;

wire y;

assign y = &q[q[6:3]];



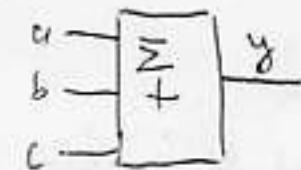
→ speciális procedurális értékelés, vegy kombinációs logika elemeket
se lte se else nem lehet!

reg y;

wire a, b, c;

always @(a or b or c)

y = a + b + c;



reg z;

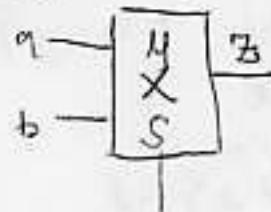
wire a, b, s;

always @(a or b or s)

if (s) z = a;

else z = b;

ügyelni kell rá, hogy az értékelési lista \forall elemre legyen új érték!



Module submodul 2 (P...)

- input
- output
- reg
- wire
- integer

Parameter param1 = (eredeti érték) ← ezt valahol a top module y

always @

subsubmodule1 else subsubmodule (P1, P2, W1) ← példákhoz

always @ (---)

begin # (késleléses száma) <utasítás> ← blokkok utóhívással
#N ideig áll a program.
nem szinkronizálható

<reg> = # (késleléses) <utasítás> ← késleltetett értékek
end /késleltetett értékek/

endmodule

// Synthesis off ← szintézis vagy jó az a kódban.

module testbench () mindig fordítva

- reg ..
- wire

submodul 1 név ... } példákhoz
submodul 2

Parameter cyc = 100; ← órajel

initial clock = 0; ← jelét pre-set initial

always # (cyc/2) clock = 1 clock ← órajel generátor
initial

begin reset = 1 ← jellel reset

(cyc) reset = 0

(k * cyc) <jelölés adata> ← k ∈ N!

end
\$File

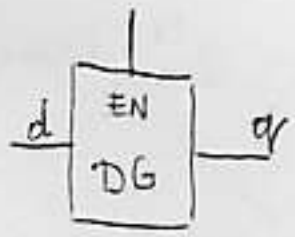
14/2) regiszterek szintézise

→ Szintvezérelt reg q;

Wire d, en;

always @ (en or d)

if (en) q = d;

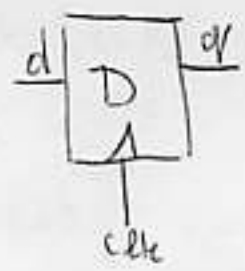


→ Élvezérelt

reg q;

Wire d, clk;

always @ (posedge clk) q = d;



reset

Szinkron

```
always @(posedge clk)
  if (reset) q = 1'b0;
  else q = d;
```

pozitív aszinkron

```
always @(posedge clk or
  posedge reset)
  if (reset) q = 1'b0;
  else q = d;
```

negatív aszinkron

```
always @(posedge clk
  or negedge reset)
  if (!reset) q = 1'b0;
  else q = d;
```

szinkron set

```
always @(posedge clk
  or posedge reset)
  if (reset) q = 1'b0;
  else if (set) q = 1'b1;
  else q = d;
```

→ egyféle ~~szinkron~~ éllvezéreltség legyen clk-en mindenhol!

→ egy regiszter, vagy egy always-ban kaplar azonos feltétel szerint érkezik!

Case klasifikasi

N biten 2^N beheri kombinasi

2^N teljes lefedés



```
Wire [1:0] adr;
reg [3:0] y;
always @ (adr)
```

begin

```
y = #1 b0;
```

case (adr)

- 0: y[0] = 1;
- 1: y[1] = 1;
- 2: y[2] = 1;
- 3: y[3] = 1;

endcase

end



$2^L + 2^E = 2^N$ részleges lefedés



PLA

```
Wire [2:0] adr;
reg [5:0] y;
always @ (adr)
```

begin

```
y = b'ba;
```

case (adr)

- 0: y[0] = 1;
- 1: y[1] = 1;
- 2: y[2] = 1;
- 3: y[3] = 1;
- 4: y[4] = 1;
- 5: y[5] = 1;

```
default: y = b'ba;
```

endcase

end



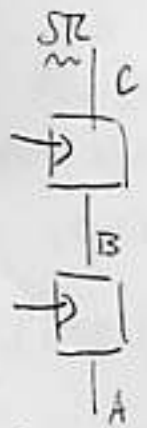
Zero-delay időtű

hibák: reg A, B, C;

```
always @ (posedge clk) B = A;
```

```
always @ (posedge clk) C = B;
```

C = B vagy C = A lesz?



timescale

timescale 1usec / 100 psec

→ aszinkron

→ felbontás

stimuláció módja.

megoldás:

```
B = #1 A;  ∇
```

```
C = #1 B;  ∇
```


alapszám

AWMUX

→ multiplexer generátor

→ vég-else, case utasításokkal

full case

not full case

központi
2, 4, 8, 16 bemenet
mux.

→ speciális mux
nem komplett

→ strukturális leírásához szükséges az AWMUX.

→ bemenet azonos jellel

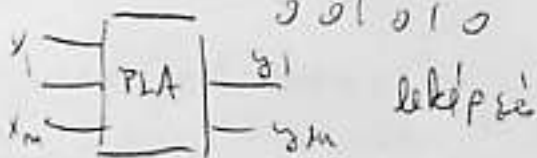
→ összerendelés a mapping dönt

AWPLA

→ ha a bemenet x_1, x_2, \dots, x_n szerinti

kombinációk
0110
0010

is előfordul y_1, y_2, \dots, y_m kimenetek



→ hálókészítés és komputáció valósítása

alapszám

AWARITH és AWLOGIC

→ aritmetikai és logikai
műveletek

→ előle operátor, vidd ki a kimenetet

→ ciklusok / ciklusok

→ ~~array~~ szorzás

→ pipeline szerű

→ vételezés

→ eltolás, dekadencia

Program architektúra és globális
változók

→ aritmetikai szintézis off/on

→ aritmetikai szintézis architektúra

CLA - carry lookahead

CSM - conditional sum

ripple - ripple

csel - carry select

full - fast carry lookahead

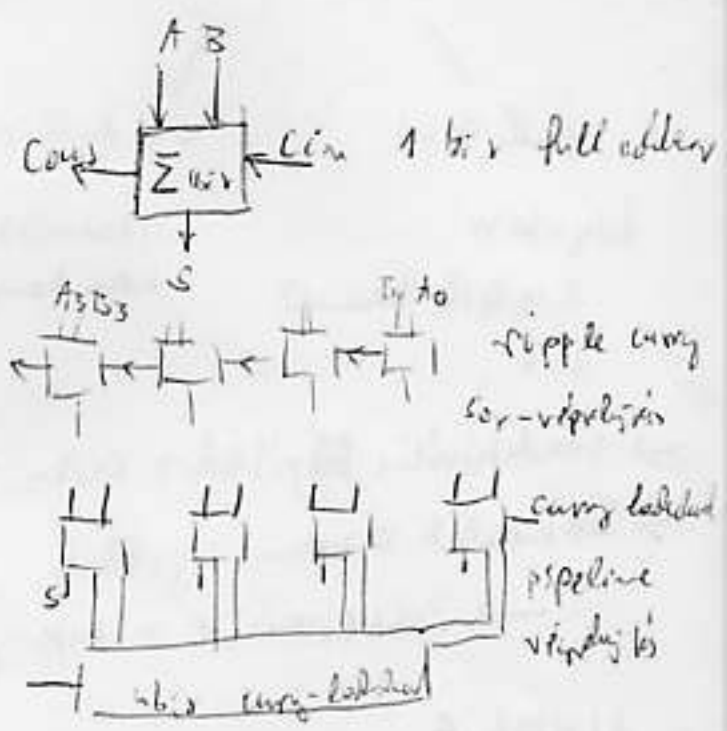
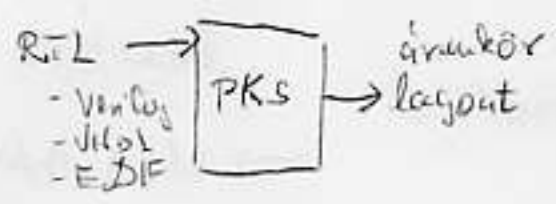
booth - non-booth

full, parallel, mux

→ aware adder (aritmetikai
multiplier)

15) PKS SZINTÉZIS PROGRAM: felépítés, generikus szintézis

Cadence PKS → Physically Knowledgeable Synthesizer



extra ismertetés

AWDP

- család architektúra - partícionálható
- ← megnevezés a műveletre
- optimalizálási architektúra kóddal → de! swappable
- operátor elhelyezése (merge-point)
 - több művelet művelet
 - dimenzió, carry komplex lehetnek.
- carry-select
- fast carry lookahead
- * → booth architektúra

AWACL

- aritmetikai operátor
- művelet végrehajtás
- + - *
- » shift / aritmetikai / logikai
- technológiai függés
- adott architektúra kóddal → non swappable
- ripple carry
- carry lookahead
- non-booth *

16) PKS: mapping, optimalizáció, funkcióidő analízis

Optimalizáció

hely

idő

logikai funkció
minimális \Rightarrow több cella
minimális helyre

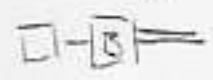
logikai funkció
pontos kapacitási terheléssel ismeretlennel
minimális funkcióidővel
adott struktúrára

Sötseintési struktúra \Leftrightarrow kétszintű struktúra
/ kereszt ábránál

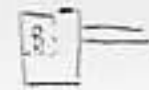
A/N/A

Funkcióidő csökkentés

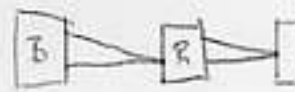
buffer insertion



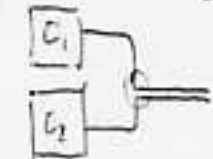
buffer resizing
fan-out increasing



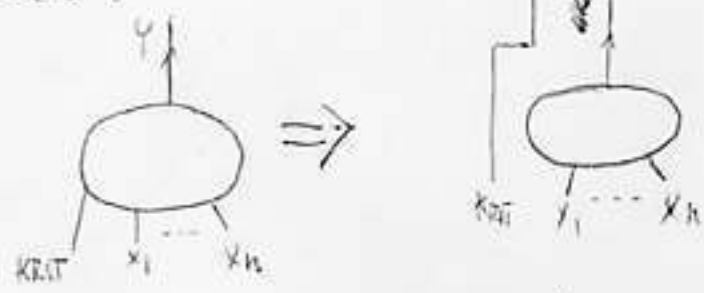
repeater



gate cloning

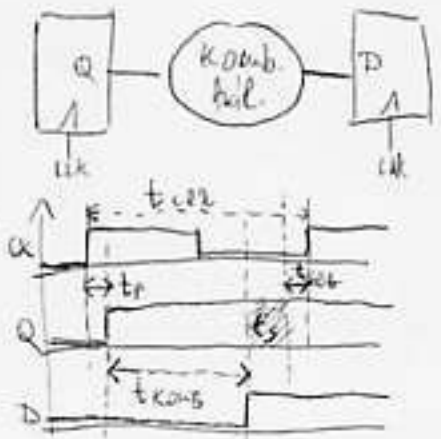


strukturális \Rightarrow kiemelés
szimulációs



timing analysis / funkcióidő analízis

\rightarrow a hibózó összes lehetséges jelviszít felírásokról
 $t_{dmax} - t_d = t_s$, ahol t_{dmax} a maximális késleltetés
 t_d a valós késleltetés
 t_s slack time
 \rightarrow Slack - hisztogram készítés

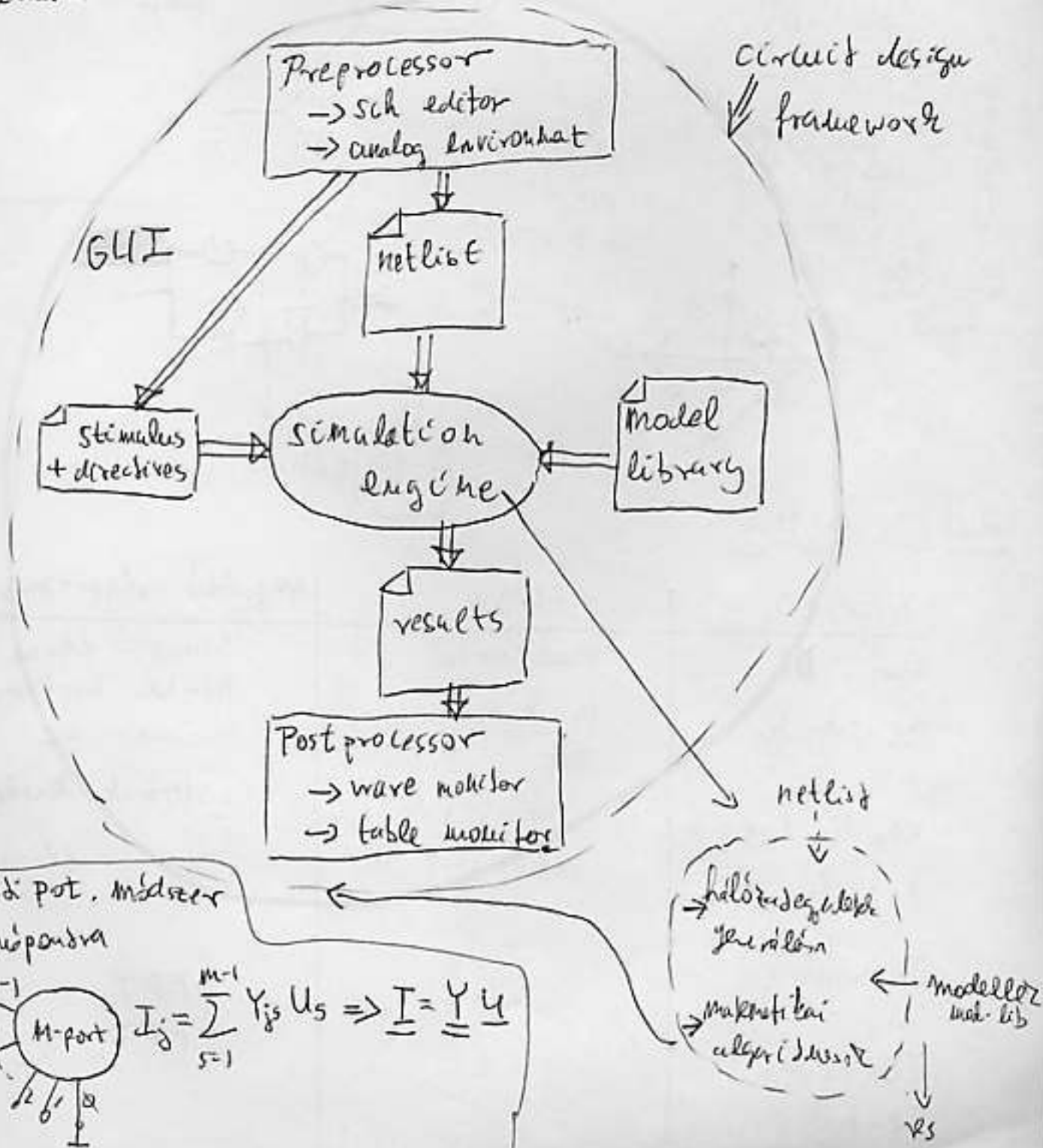


$$t_s = t_{dmax} - t_{dsetup} - (t_{prop} + t_{comb})$$

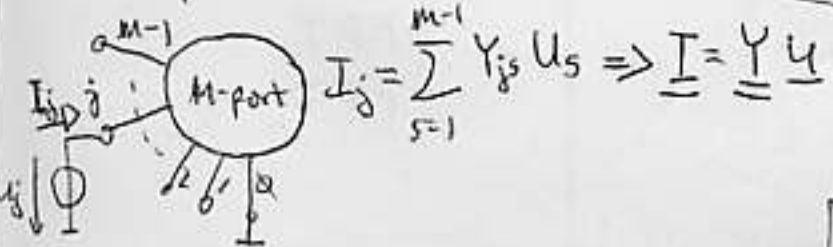
⑫ A rendszeri modell felépítés, működés, algoritmusok, szolgáltatások. Alkalmazás, modellek.

Circuit design framework → eleui alapra épülő felépítés → UI, test, etc)
 → SPICE (Berkeley - University 1970)
 → TRANZ-TRAN (TSMC, 1969)

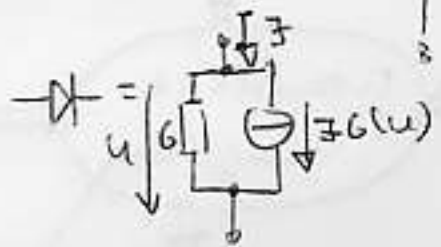
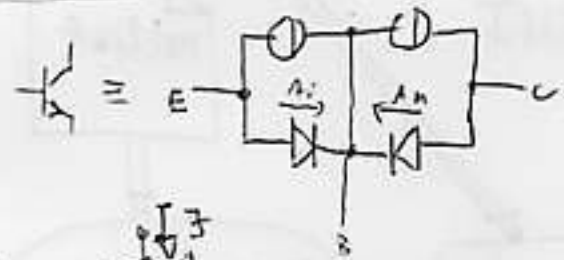
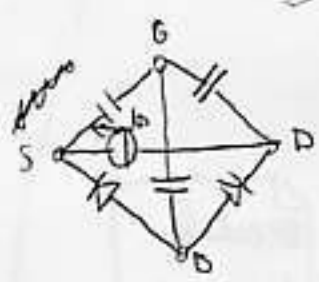
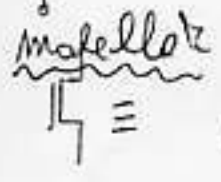
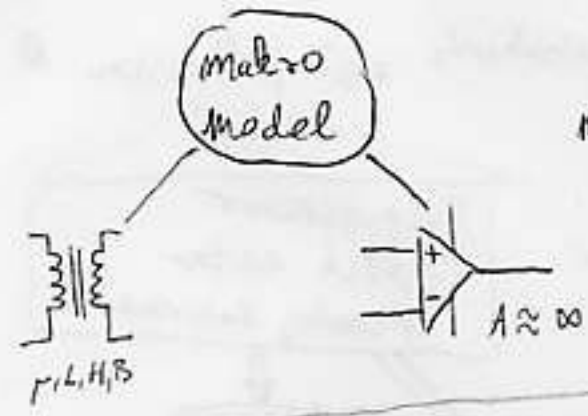
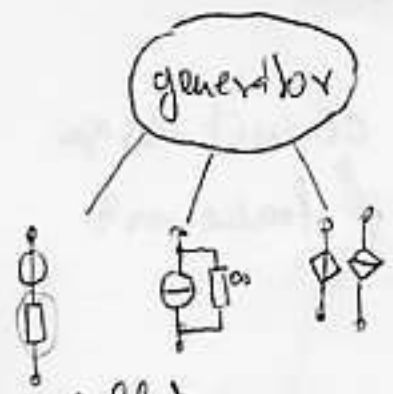
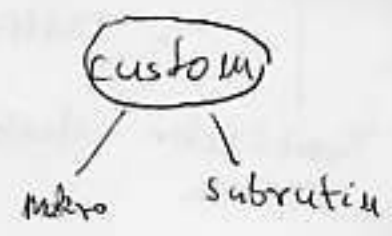
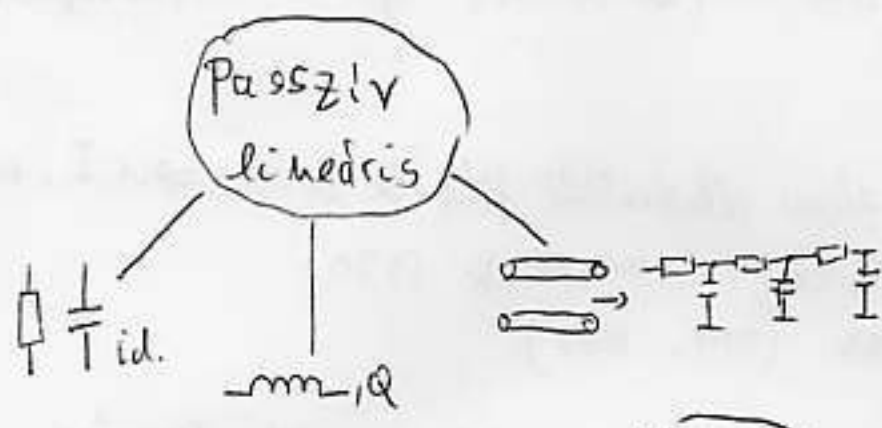
Tranzisztor - absztrakciós ⇒ full custom & sz. célú tervezése szinten



csomóponti pot. módszer
 M csomópontra



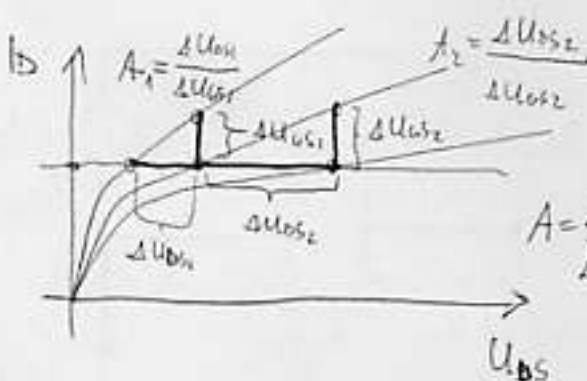
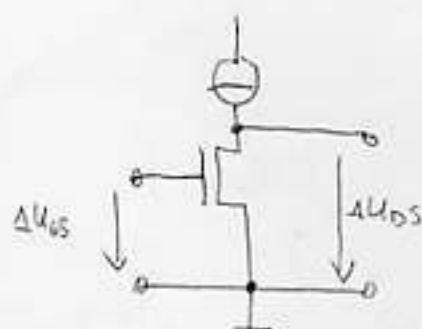
- alkalmazás hálók



analízis fajták

analízis	célja	megoldó algoritmus
nemlin DC DC transzfer	munkapont megk. tr. kar, sorozatos DC	Gauss-elimin. (lin) Newton-Raphson (nemlin)
nemlin tranzieny kisjelű AC	időtart. belső szim. félkv. tart. belső.	sorozatos DC stepback-Euler Gauss-elimin.
Tolerancia Zaj Torziós Termikus		FFT FFT

2) A' szintűekről, kényszerű és áram reflexió



A munkapontfüggő!

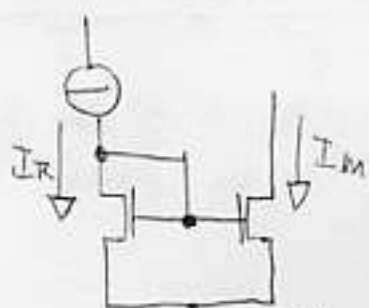
$$A = \frac{\Delta U_{os}}{\Delta U_{be}} = -\frac{\beta I_c}{g_{ol}} = \frac{2}{\beta U_b}$$

$$g_{ol} = 2 I_d$$

$$g_m = \frac{2 I_d}{U_b}$$

ha $\beta \rightarrow \infty$, $A \rightarrow \infty$
/ideális áramforrás/

áramtűköv



ha $\frac{w_1}{L_1} = \frac{w_2}{L_2} \Rightarrow I_R = I_M$

feltételezés:

$$I_M = f(I_R) \text{ (ideális áramforrás)}$$

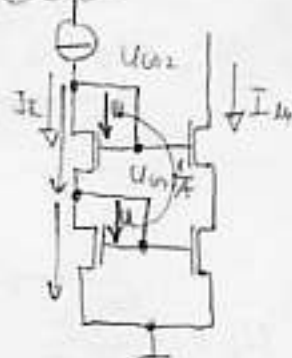
a működésben

$$I_M = f(I_R, U_{os}) \text{ (nem ideális áramforrás)}$$

miel $g_{ol} \neq \infty$, $A \rightarrow \infty$.

ül: $g_{ol} \rightarrow \infty$ előzése.

kényszer



~~Uos1 = Uos2~~

$$\Delta U_{os1} = \Delta U_{os2} = \frac{\Delta U_{os1}}{A_1}$$

$$A_1 = \frac{\Delta U_{os1}}{\Delta U_{os2}} \rightarrow \Delta U_{os2} = \frac{\Delta U_{os1}}{A_1}$$

tehát sokkal kisebb!

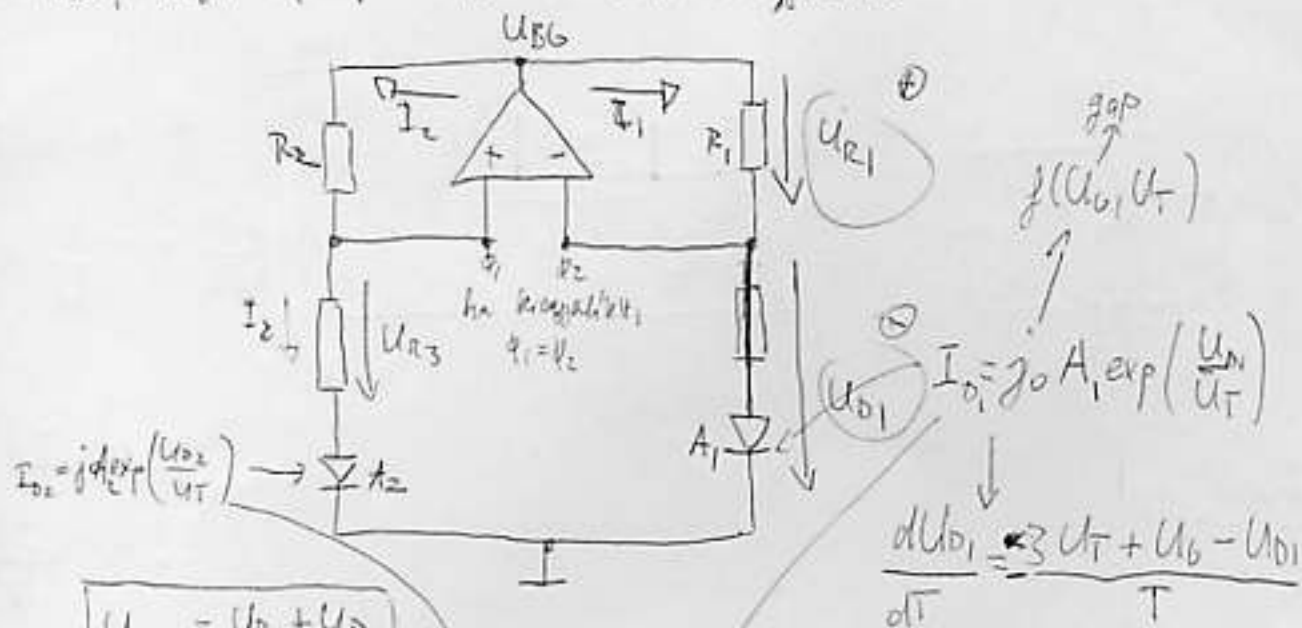
miel $g_{ol} = \frac{\partial I_d}{\partial U_{os}} \rightarrow g_{ol}$ sokkal kisebb len!

Probléma még: kivezetési kábel

megoldás \rightarrow jelgyártott kábel impedancia $\underline{\underline{g_{ol} = \frac{g_{ol1}}{A_{max}} \approx \infty}}$

Bandgap - reference

- ideal, selbst opamp automatisierte Kregelheit.



$$f(U_{D1}, U_T)$$

$$I_{D1} = j_0 A_1 \exp\left(\frac{U_{D1}}{U_T}\right)$$

$$\frac{dU_{D1}}{dT} = \frac{3U_T + U_0 - U_{D1}}{T}$$

ausrechnen, da \oplus bzw. \ominus fügen keine \Rightarrow U_{D2} bzw. fügen.

$$U_{BG} = U_{R1} + U_{D1}$$

$$\frac{I_1}{I_2} = \frac{R_2}{R_1} = \frac{A_1}{A_2} \exp\left(\frac{U_{D1} - U_{D2}}{U_T}\right)$$

$$U_{D1} - U_{D2} = U_T \ln\left(\frac{A_2 R_2}{A_1 R_1}\right)$$

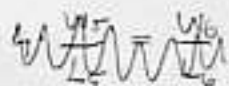
$$I_2 = \frac{U_{R3}}{R_3} \Rightarrow U_{R1} = I_2 R_2 = \frac{U_{R3}}{R_3} R_2 = U_T \frac{R_2}{R_3} \ln\left(\frac{A_2 R_2}{A_1 R_1}\right)$$

$$U_{BG} = U_{D1} + U_{R1} = U_0 + 3U_T \approx 1.2V$$

$$\frac{dU_{R1}}{dT} = \frac{U_{D1}}{T} = \frac{3U_T + U_0 - U_{D1}}{T}$$

Granularität

$$(T_1, T_2) (T_3, T_4) \Rightarrow \frac{W}{L} \text{ abh. Form}$$



$$W_5 = 4 W_6$$

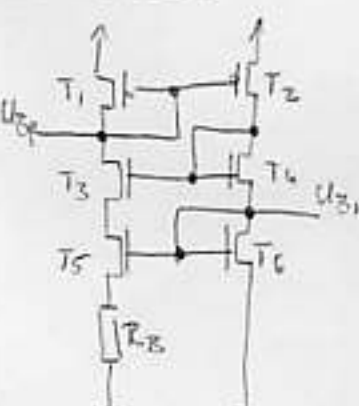
$$U_{S2} = \frac{U_{D2}}{2}$$

$$I_D R_B = \frac{U_{D1}}{2} = \frac{1}{2} \sqrt{\frac{L_6}{W_6} \frac{I_D}{\mu}}$$

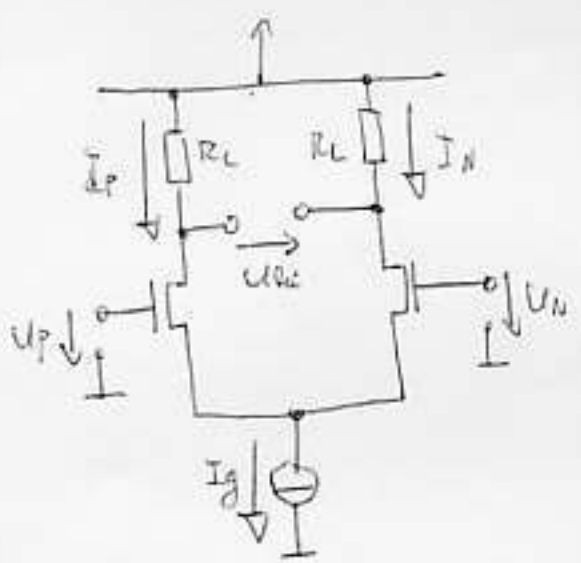
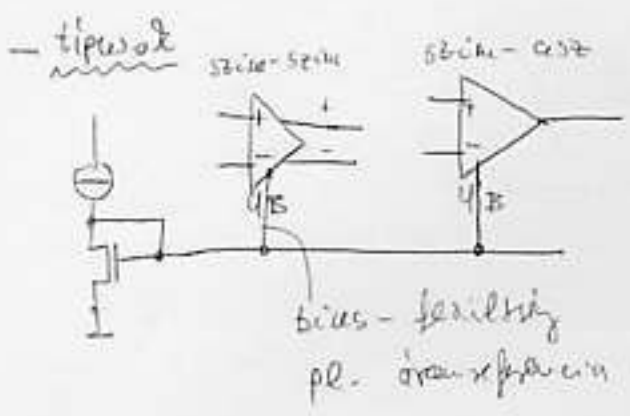
$$g_{m6} = \frac{2I_D}{U_{D6}} = \frac{1}{R_B}$$

$$U_{th} = \sqrt{\frac{I_D L}{K W}}$$

mindestens 4 Transistoren
aus U_{D1}, U_{D2} bzw. \pm
bzw. g_{m6} ablesen
 $\frac{1}{R_B}$ mündelständig leer.



③ Differentialverstärker



$$U_{COM} = \frac{U_P + U_N}{2}$$

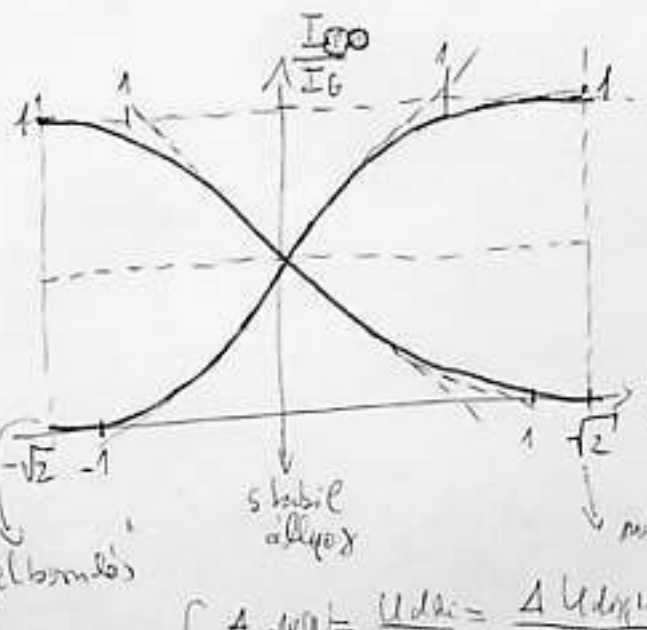
$$U_{DIFF} = U_P - U_N$$

ha $U_P = U_N$ ($U_{DIFF} = 0$) \Rightarrow

$$\Rightarrow I_P = I_N = \frac{I_0}{2}$$

ha $U_P \neq U_N \rightarrow$ felbillan

$$I_P \neq I_N \text{ de } I_P + I_N = I_0!$$



swing: 12 ... 4,5 V

$$CMRR = \frac{A_{diff}}{A_{com}} = \frac{g_d}{g_m}$$

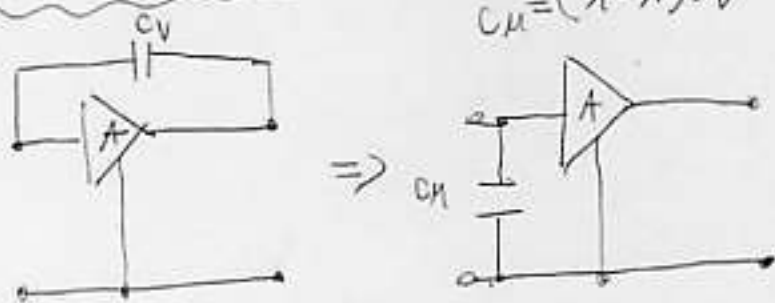
$$A_{diff} = \frac{U_{diff}}{U_{diff}} = \frac{\Delta U_{diff}}{\Delta U_{diff}} \approx g_m R_L$$

$\Delta U_{diff} = (g_m \Delta U_{diff}) R_L$

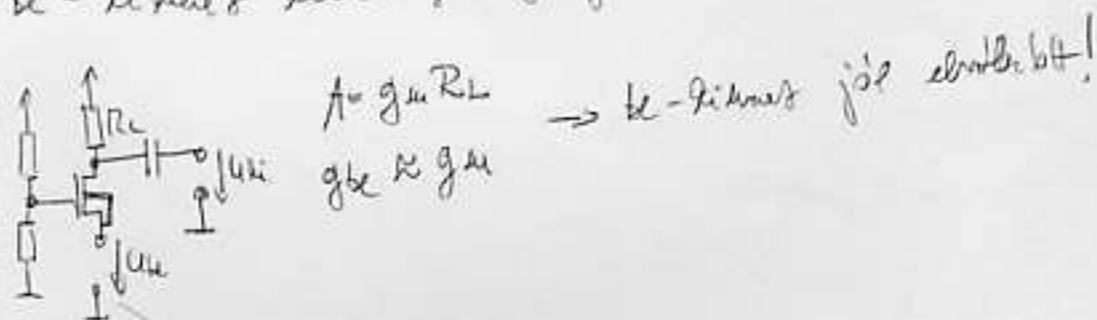
$$A_{com} |_{U_{diff}=0} = \frac{U_{com}}{U_{com}} \approx g_d R_L$$

25) Készlet erősítő

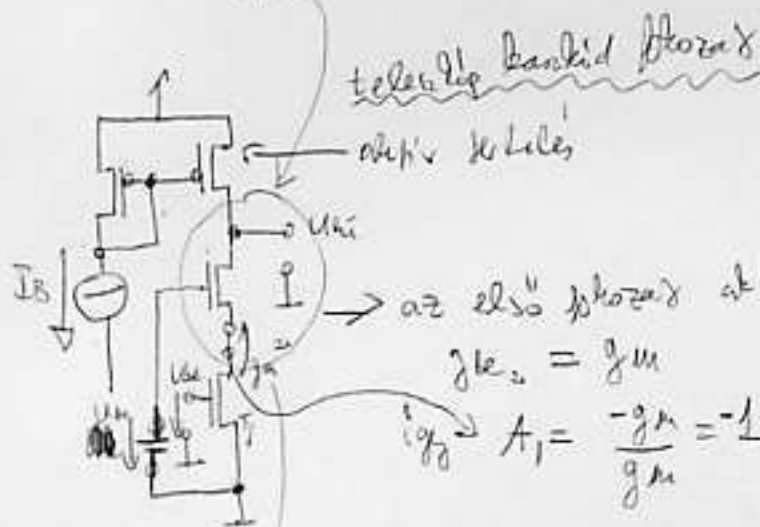
erősítő Miller - hálójai: visszafűtő kapacitás virtuálisan terhelő a bemenetet!



ezért bc-kimenet közelebb földhöz jut-e s illenék kell.



$A = g_m R_L$ → bc-kimenet jól elválaszt!
 $g_{bc} \approx g_m$



teljesen kényszerítő áram

aktív terhelés

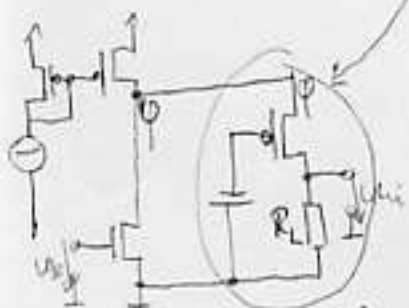
→ az első fázis aktív terhelése
 $g_{L1} = g_m$

$A_1 = \frac{-g_m}{g_m} = -1 \Rightarrow C_M = 2C_v$ (kicsi!)
 Miller

→ A teljes fázis kimenet vétele az orlopai dr:

$g_{d1} = \frac{g_d}{A_{max}} = \frac{g_d^2}{g_m} \approx \infty! \Rightarrow I_{d1} = U_{be} g_m \Rightarrow$

$A = \frac{U_{oi}}{U_{be}} = -\frac{g_m}{g_d}$ terhelés pms T_1 -hez



Speded - kényszerítő → bc-s kimenet közel egyenlő!

26) NMOS minimalinventor, CMOS kapacitív körök, dualis, verbelet

- NMOS

tr. csupa n-csator

jobb. vagy n-csator
fogynak

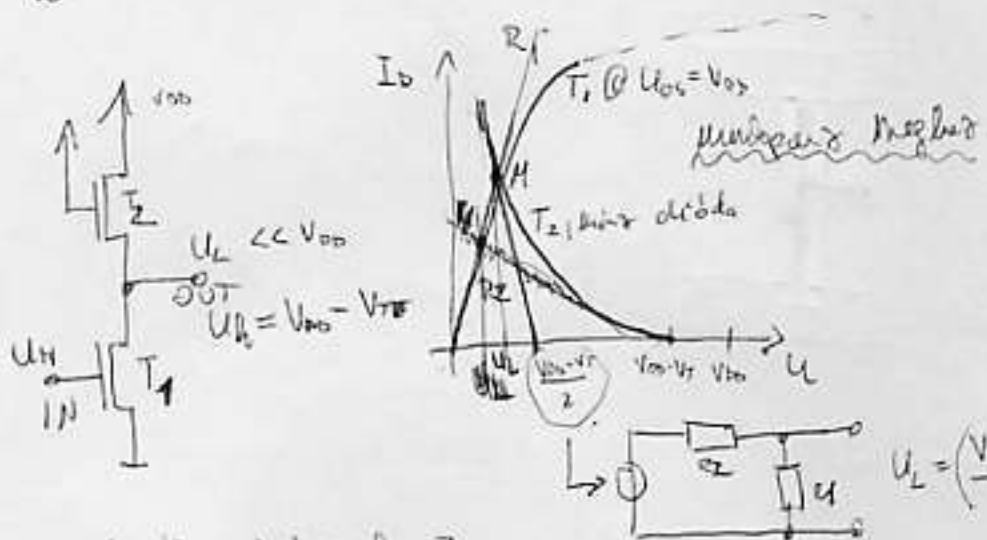
tr. szék M

- CMOS

n és p tip.

nincs stabilis
fogynak

2M



mi a minimális méret β -hoz?

$L_1 = W_2 = d$ / minimális méret

$\frac{W_1/d}{d/W_2} = \frac{W_1 L_2}{d^2} = \beta \rightarrow L_2 = \beta \frac{d^2}{W_1}$

egyenlő
szélesség
közé

$T = W_1 L_1 + W_2 L_2 = d(W_1 + L_2) = W_1 d + d^2 \beta \frac{d^2}{W_1}$

$\frac{\partial T}{\partial W_1} = 0 \Rightarrow \min \rightarrow d - \beta \frac{d^3}{W_1^2} = 0$

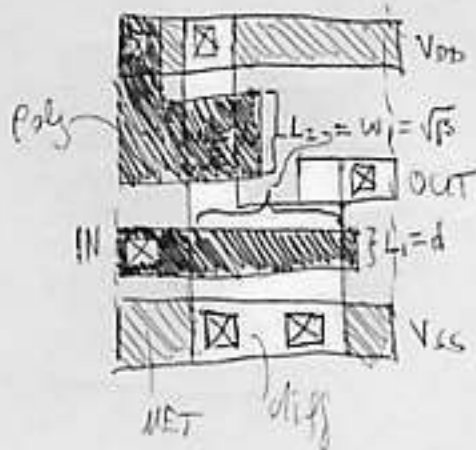
$\rightarrow W_1 = L_2 = d \sqrt{\beta}$

$U_L = \left(\frac{V_{DD} - V_T}{2} \right) \frac{I_A}{R_1 + R_2}$

$= \frac{V_{DD} - V_T}{2 \left(1 + \frac{R_2}{R_1} \right)} = \frac{V_{DD} - V_T}{2(1 + \beta)}$

$\frac{R_2}{R_1} = \frac{W_1/L_1}{W_2/L_2} = \beta$

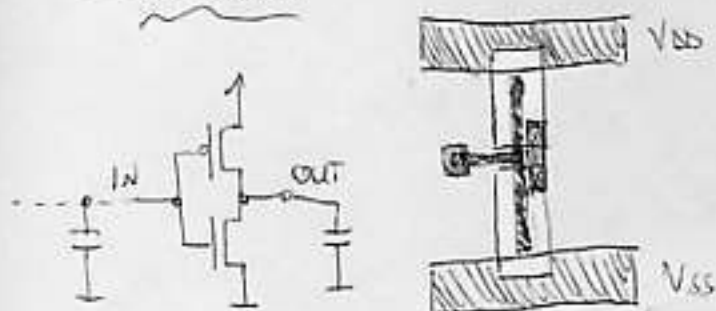
minimálkapacitá



CMOS alapkepek

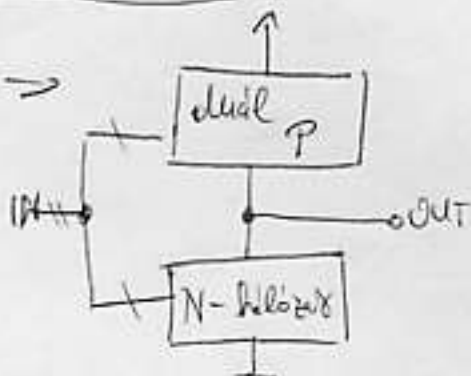
- ki - \bar{e} bevezetési kapacitások nagy viselkedés.
- Nincs statikus áram
- felhívó jelölés van bevezetésnél
- jellemzők optimalizáltak $\rightarrow v_p = 2,7 v_m = 2,7 d$

inverter



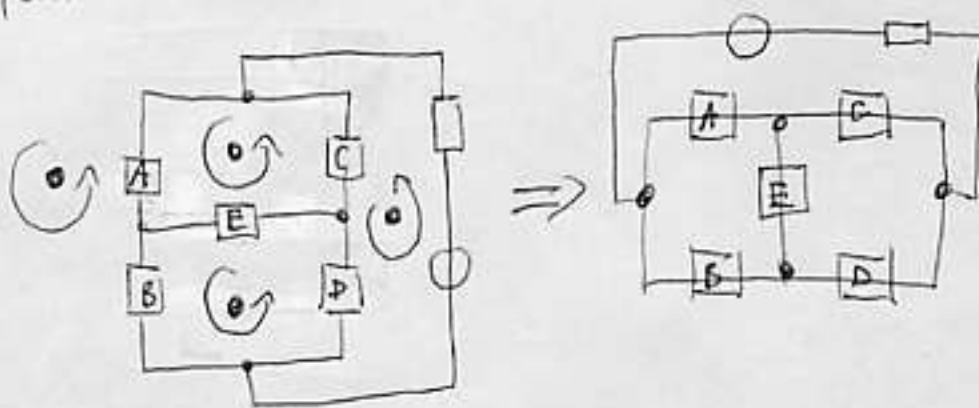
Dualis hálózat szerelése

CMOS kepe \rightarrow

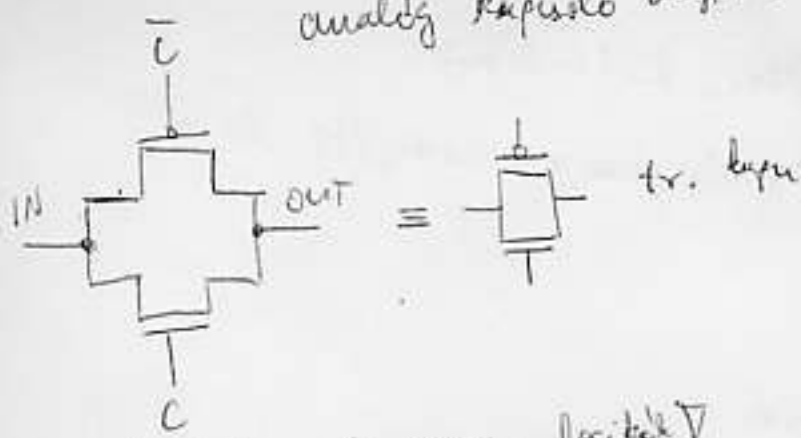


dualis gráf szerelése
csomópont \leftrightarrow ábrák

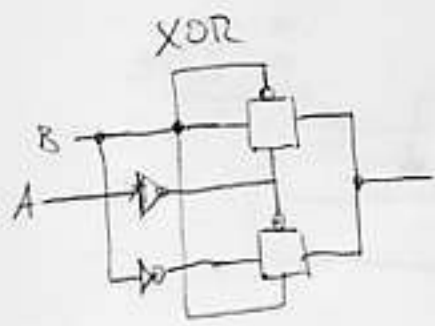
$$Y = \overline{AB + CD + ADE + BCE}$$



27) Transzfer kapuk és alkálmazásuk
 analóg kapcsoló digitális alkálmazásban.

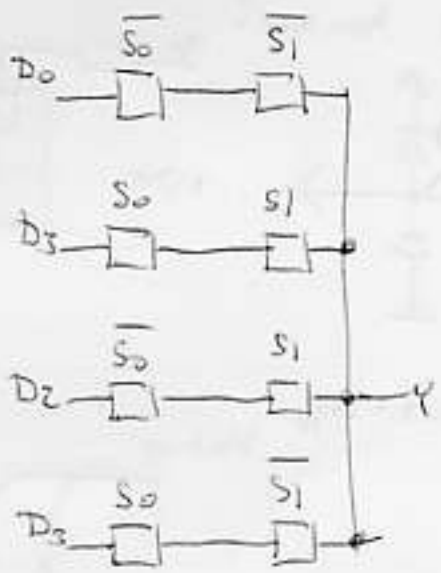


keves tr-al megv. logikák V

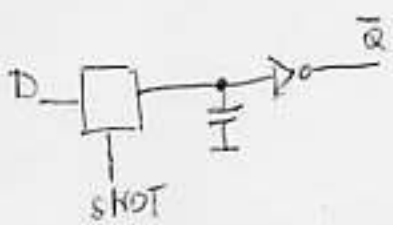


XOR

Multiplexer

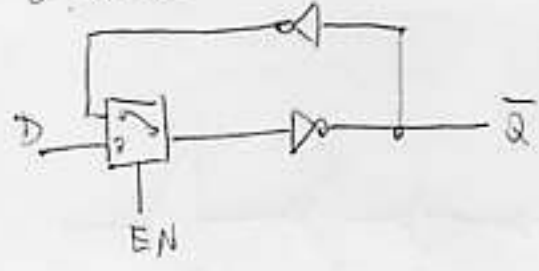


Dinamikus latch

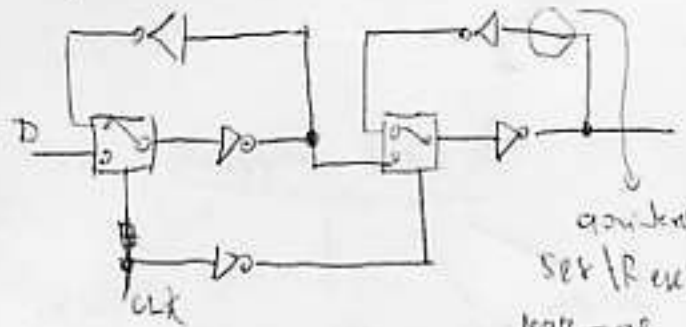


Kondicionális megoldások

D-latch



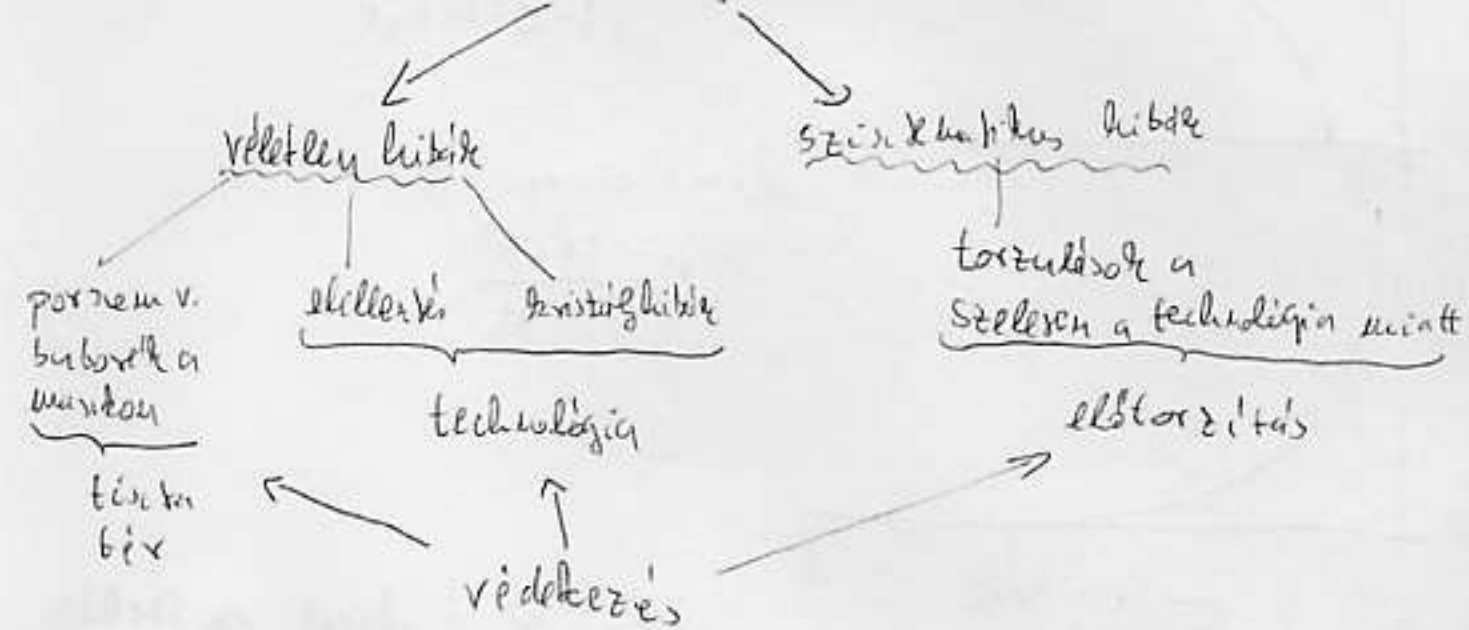
Master-slave D-latch



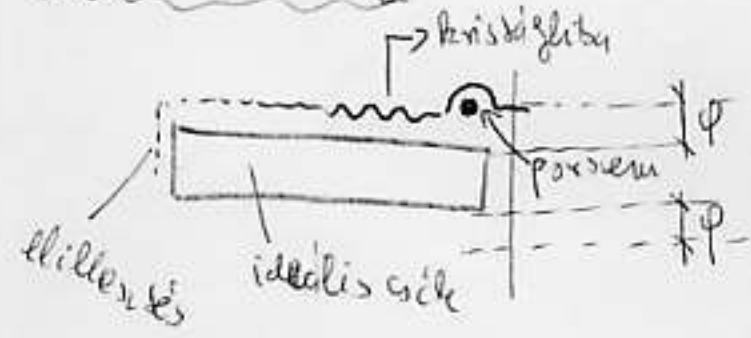
csatlakoztatás
 set / reset
 not-al megvalósítható

29) Layout tervezés, tervezési szabályok, hiba

→ A mechanika és a szilvétechnológia hibákkal terhelt



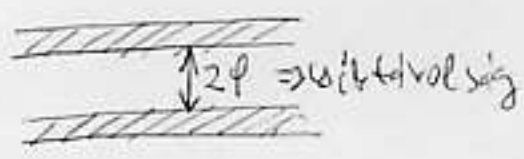
→ reproduktálhatóság



$2\phi = d_{min} \Rightarrow$ technológiai felhordókapacitás
 → ezen belül biztos sikerül...

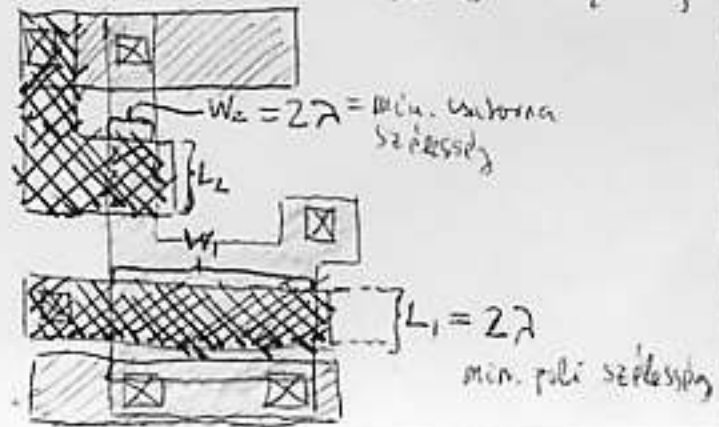
→ egyszerűsítés

→ a technológiai lépéseket ϕ -jei egy nagyszámúba essenek.



→ λ tervezési szabályok

→ $\lambda =$ tervezési egység, max. $\{d, t\}$



→ előtorzítás

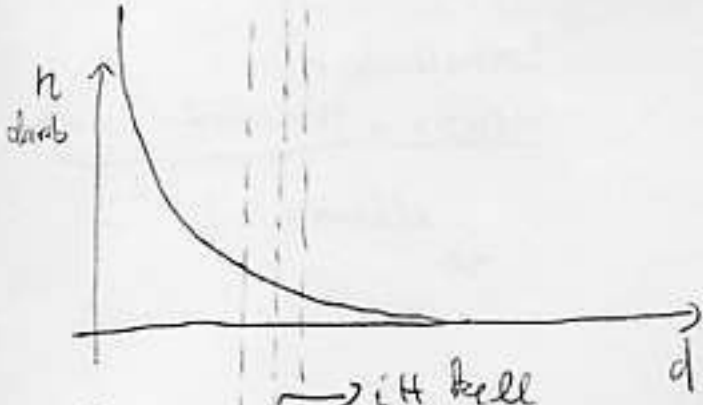
ideális	reális
<p>Megoldás</p>	
<p>előtorzítás miatt</p>	
<p>Megoldás</p>	

→ Kihozatal

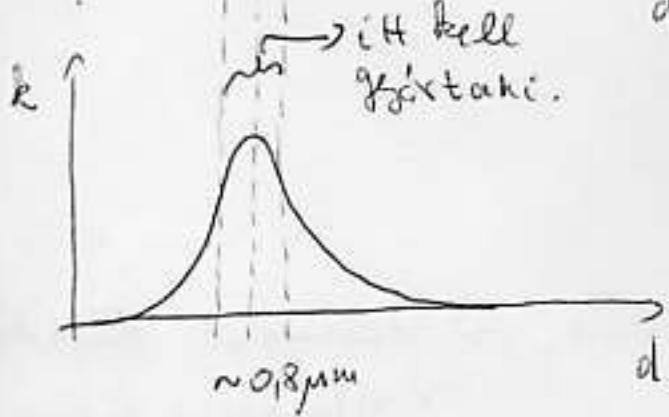


$$\text{Yield} = Y = \frac{\text{jó csipok}}{\sum \text{csip}}$$

$$1 - Y = \text{Selejt}$$



$$n = \frac{\text{csipok}}{\text{szeklet}}$$



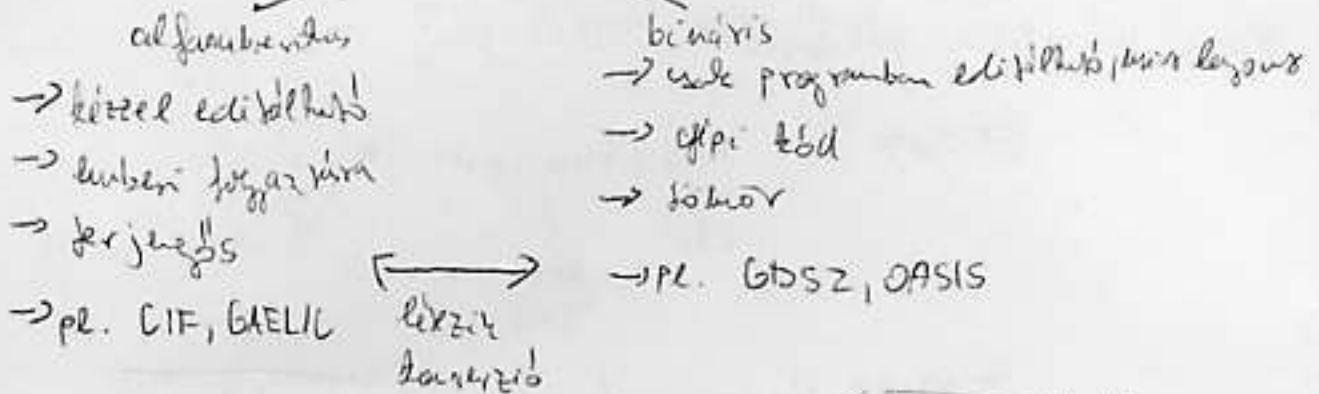
$$k = nY \Rightarrow \text{jó csipok egy szekleten}$$



3) Layout reprezentáció számítógépekben

→ Layout ⇒ maszkok geometriai leírása

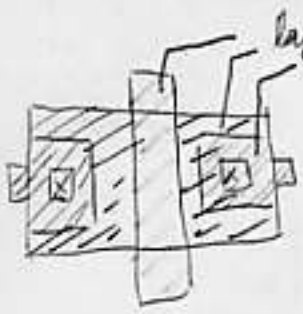
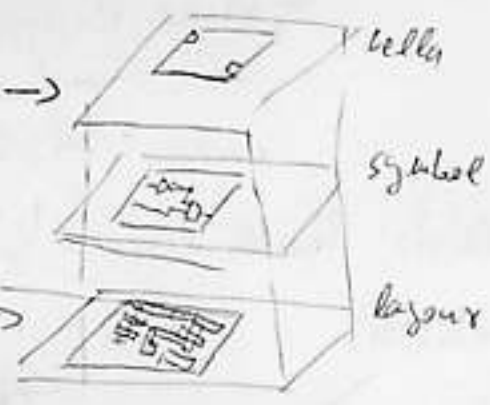
leírás módok



leírás rendszere

strukturális →

flak →



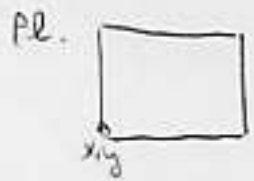
layout-primitívok

Primitívek feléte hozzon → alternatív / pl. CMOS /
 funkciók is megvalósít: pl. GATE = ACTIVE + POLY

CIF → képletes ábrák, vektoros geometriai leírás

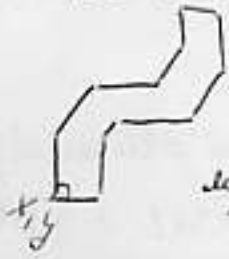
GAELIC → bináris leírórendszer

L (layer);
 P (P_1, P_2, \dots, P_n) poligon



RECT (L, layer) (x_1, y_1, dx, dy)

pl. poligon



POLY (L, layer) ($x_1, y_1, dx_1, dy_1, \dots, dx_n, dy_n, x_1, y_1$)

szimból: TRACKS

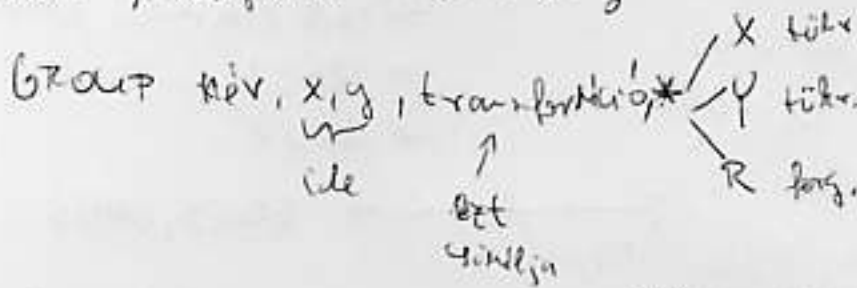
hierarchia →

NEWGROUP n1;



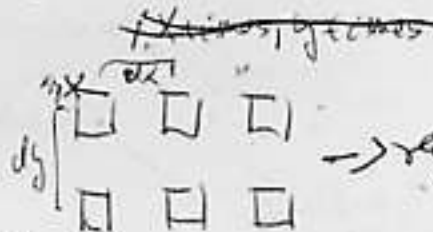
ENDGROUP;

geom. műveletek példájásként GROUP-on



* x töké, dx , y töké, dy

multi példákra



→ reguláris layout!

→ belső leírás: láncolat lista → jól kezelhető

→ belső ábrák

→ belső reprezentáció

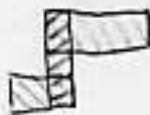
bitMap

0	0	0	0	0	0
1	0	1	1	1	0
0	0	1	1	1	0
0	0	1	1	1	0
1	1	1	1	1	0
0	0	0	0	0	0

csúspontok

lefedő alakzatok

variable grid



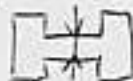
0	1	1	0
0	1	0	0

→ műveletek:

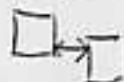
- kiegészítés, kitöltés
- diszjunkt, szuperinkluzív

→ ellenőrzés

→ width



→ spacing



euklidészi



taxi



→ GDSII

→ OASIS

- bináris, hierarchikus
- ez kerül a félvezető gyártásba
- De Facto!

- GDSII ma már alternatívája
- tömörebb, kezeli a görbétet is!

32) Layout ellenőrzés: DRC, extract, LVS

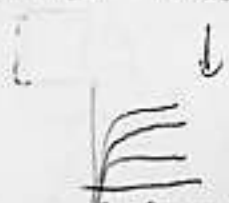
~~LVS~~ optikális fizikailag optimális működés \Leftrightarrow DRC } EDA = electronic design automation
LVS } osztály

DRC \rightarrow a tervezési szabályok (?) betartása, ellenőrzése

\rightarrow adott technológiára a ? minden részét előírta.

\rightarrow a ? betartása az optikális fizikailag pontosan a reális az adott technológiára.

\rightarrow mi a ? átviteli analízis és digitális esetben?



konvergenstől működés

"1" "0" működés

\rightarrow hisz ? , soha alkatrész nagyobb szűrés de kisebb működés

nagyobb ? kisebb szűrés

LVS \rightarrow Layout vs schematic

\rightarrow az van-e a layoutban, mi a kapcsolás rajton?

LVS lépések

1) Extraction \rightarrow a layout layerai alapján azokat logikai kapcsolatokhoz, ez alapján megállapítja:
 \rightarrow a reprezentált alkatrészeket
 \rightarrow az összeköttetéseket

2) netlist -et generál

3) összehasonlítja az eredeti schematic netlistjével.

tipikus hibák:

- rövidzár
- szűrés
- hibás alkatrész
- hiányzó alkatrész
- rossz méretű alkatrész (w/l pl.)

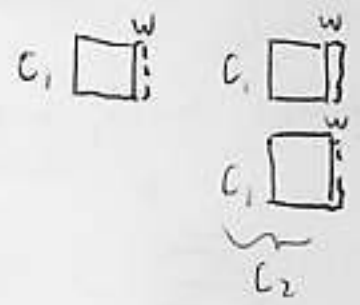
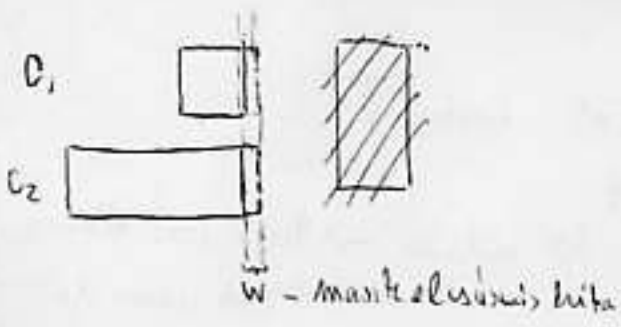
33) Layout tervezési szempontok: arányok, szimmetria / common centroid struktúra

→ arányok

→ szilíciumon nehéz elkészíteni 'pontos' elemeket

→ DE! egymáshoz közeli elemek effortjának sikerülnek!

→ pl. C_1 és $C_2 = 2 \cdot C_1$ kapacitás beírása

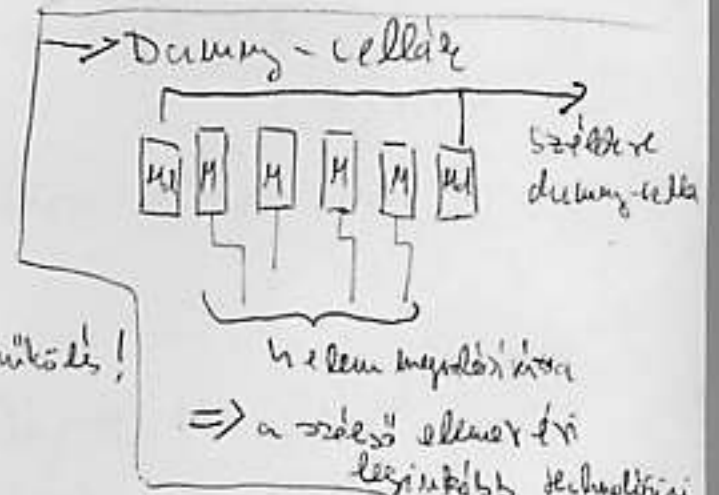
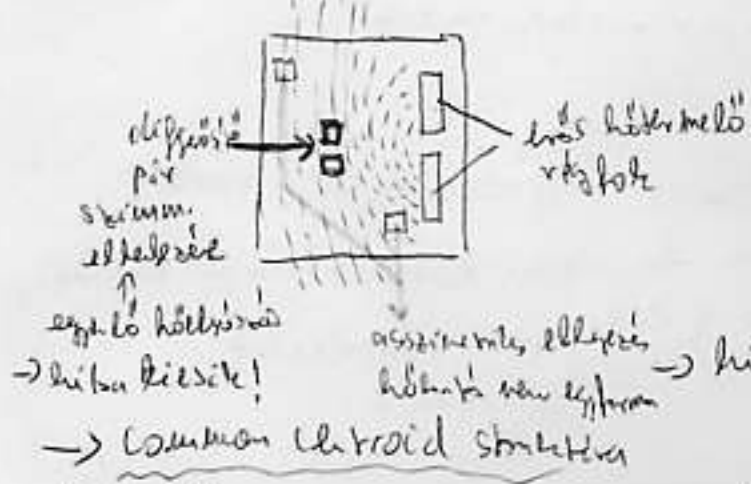


→ technológiai szórások effortjának eldőlése!

$2C_1' = 2(C_1 + C_{1,w}) \neq C_2' = 2C_1 + C_{1,w}$

$2C_1' = (C_1 + C_{1,w}) = C_2' = 2C_1 + 2C_{1,w}$

→ Szimmetria → analóg áramkörök hálój. vált. miatti indukciós - vándorlás, gyökerehető szimmetrikus elrendezéssel!



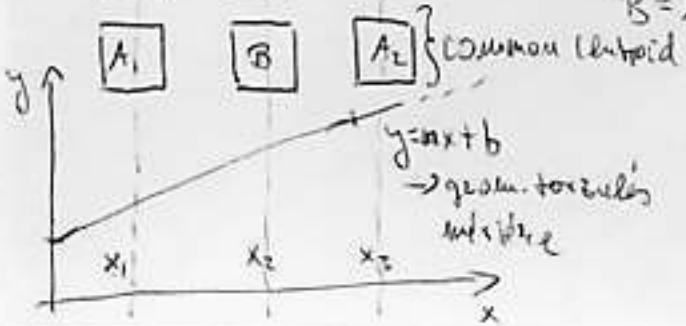
pl: $A_1 + A_2 = 2B$

A_1	A_2	B
-------	-------	-----

$A_1 = \mu x_1 + b$
 $A_2 = \mu x_2 + b$
 $B = \mu x_3 + b$

$\frac{A_1 + A_2}{2} = \frac{\mu(x_1 + x_2) + 2b}{2} \neq B$

hiba!
→ ez a dummy "fogó fel"



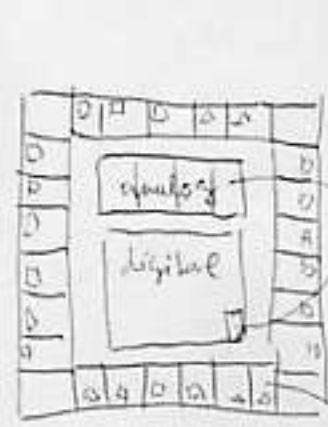
$A_1 = \mu x_1 + b$
 $A_2 = \mu x_2 + b$
 $B = \mu x_3 + b$

$\frac{A_1 + A_2}{B} = \frac{\mu(x_1 + x_2) + 2b}{\mu x_3 + b} = 2$

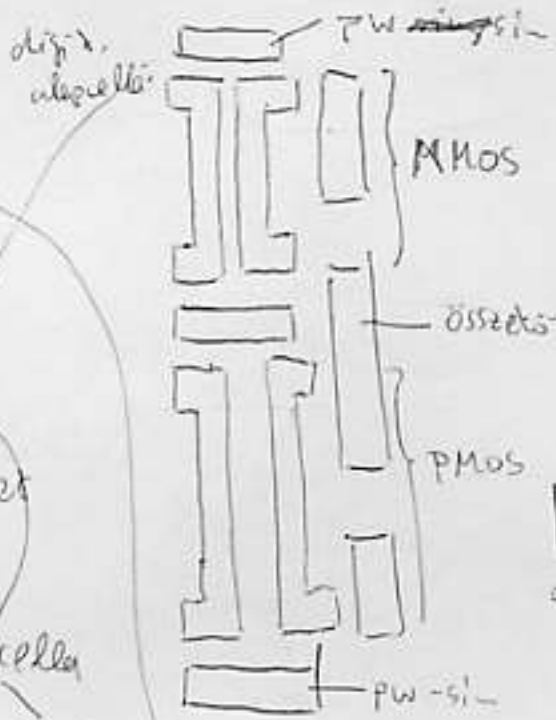
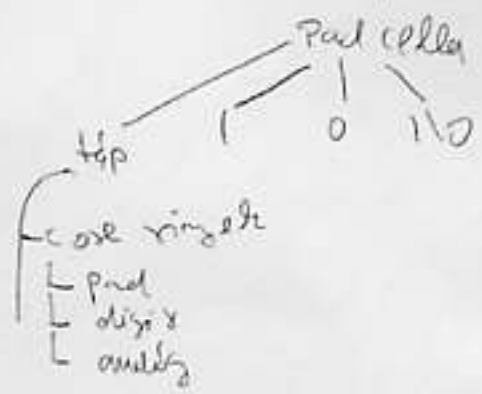
$2 \mu x_3 = \mu(x_1 + x_2)$

36) Semiconductor IC-ek: Gate forest rendszer

Semiconductor IC → kecs példányokból, majd → q't felis 5-6 hét
 mask chip + personalizáció terméssel 3-6 hónap.
 Gate Forest → IMS újít felhívta



Maska minták - 8 méret



0,18 μm P-well

Cellaközpont

- Szekuláló
- kapu
- flip-flop
- mux
- counter

Cellák a maska mátrix-
 mátrixra illeszthető!
 → "Site"-ok

2,8 μm P-well



komplexer végzői funkciók

16 db NMOS blokk

16 db PMOS blokk

+ 2 db PMOS

digit. ellenlevegő

cellaközpont: komputor

- o pump
- mux kábel
- bandgap ref
- pot
- R-hálózat



Gyártás

- 4 litográfiai lépés

1. lépés

2. lépés

3. lépés

4. lépés

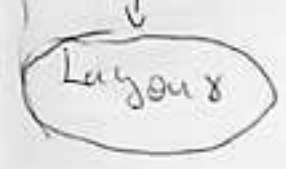
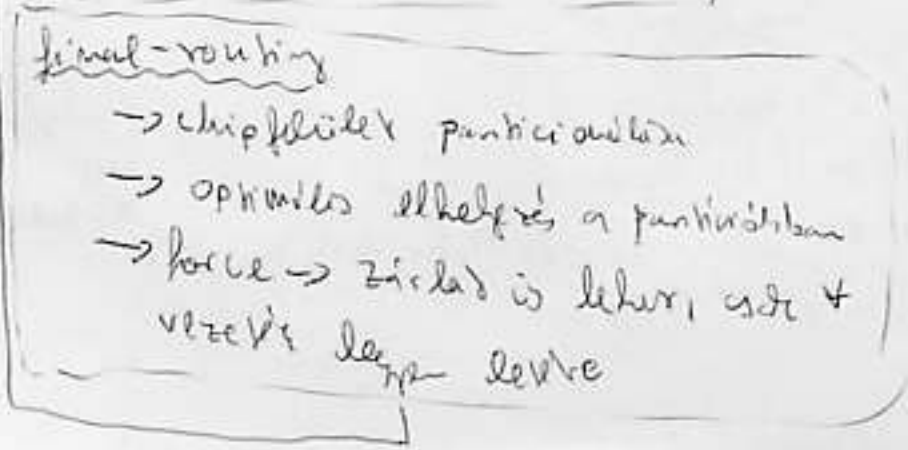
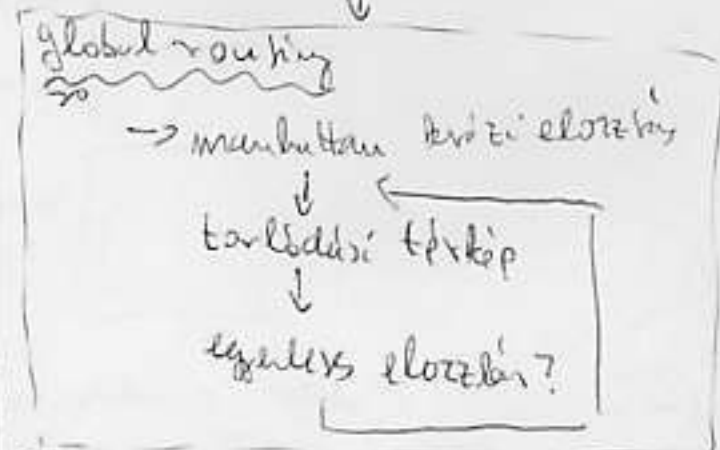
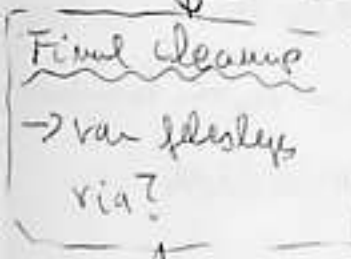
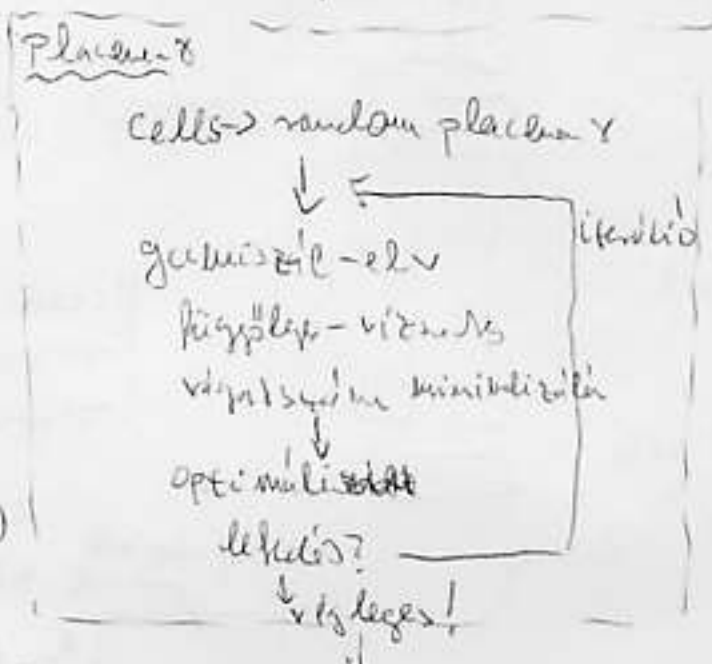
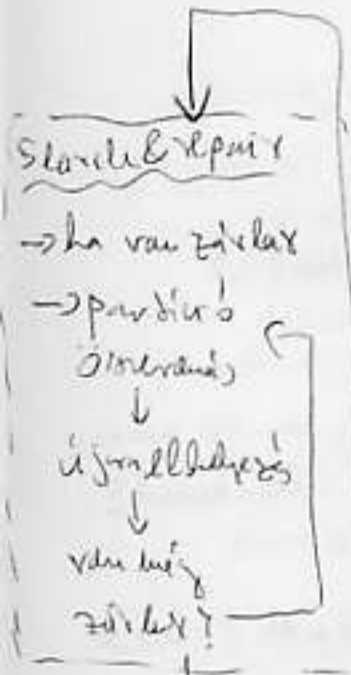
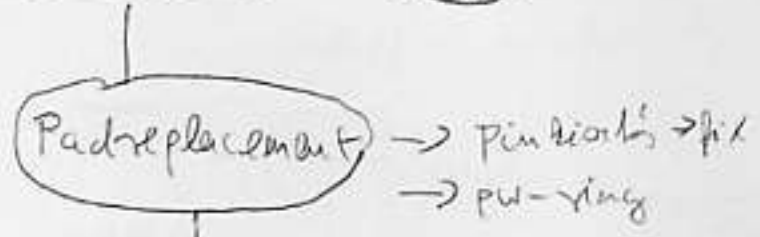
#1 kontakt lyuk marás

#2 M1 (horizont) felrakás, felrakás 2. lépés

#3 oxid + M2 felrakás M1, M2 vétele marás

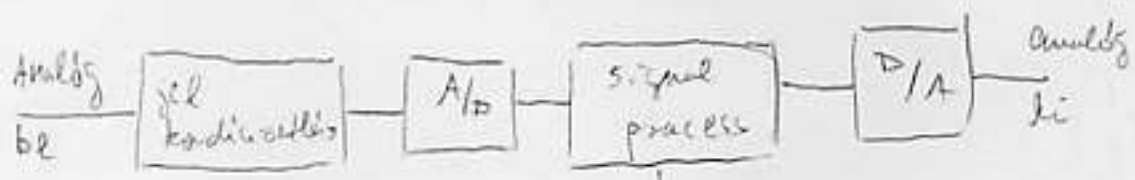
#4 M2 felrakás + oxid

gate - bus cable



37 Mixed signal ASIC-ek

technikai feladatok → analog technika kezes a digitális FC-be
 jelek → kevert jelek, analog, ↓

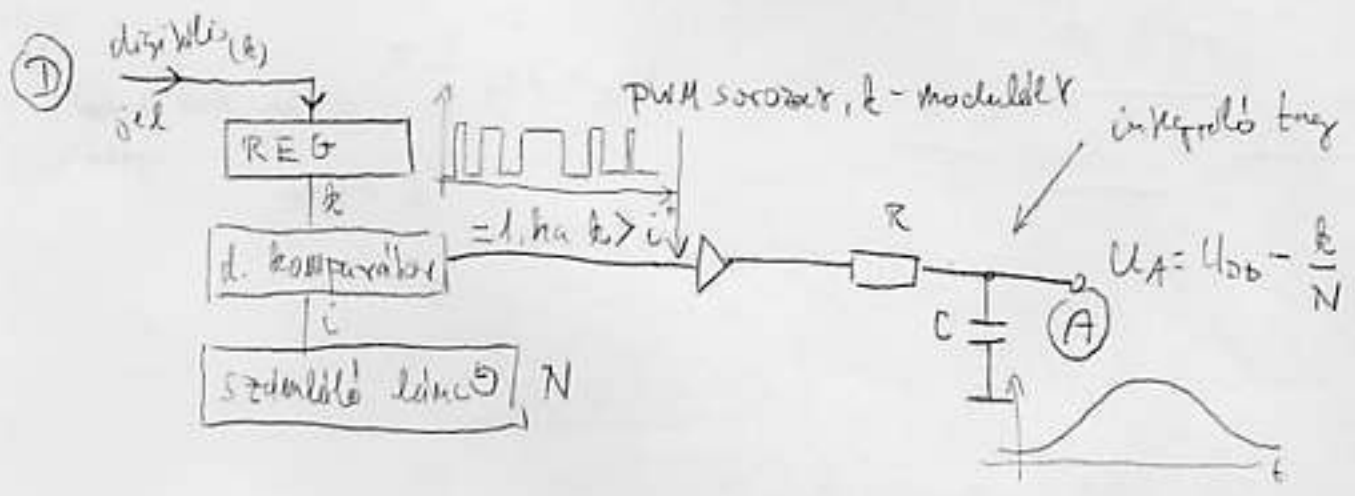


Analog cellaközpontok

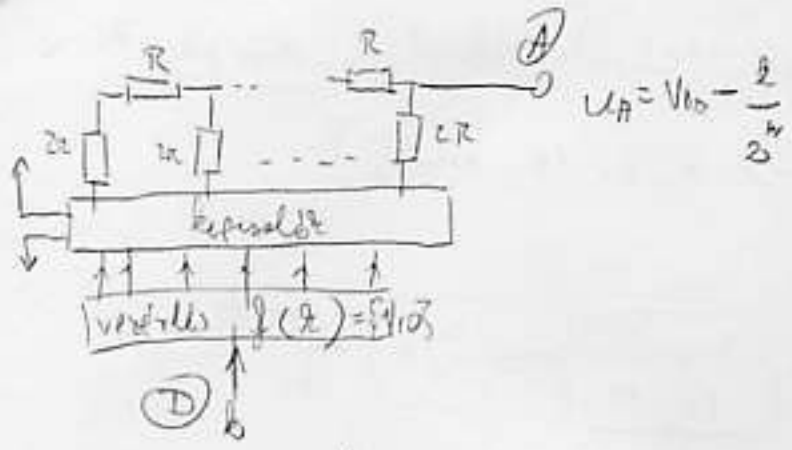
- komparátor, A/D, D/A
- Opamp
- buffer → jelviselés erősítő
- analog switch / mux → tr. optika
- bandpass szűr.
- PDR
- R/ZR
- jelviselés pontosság

D → A konverzió

→ digitális, dinamikus → lassú

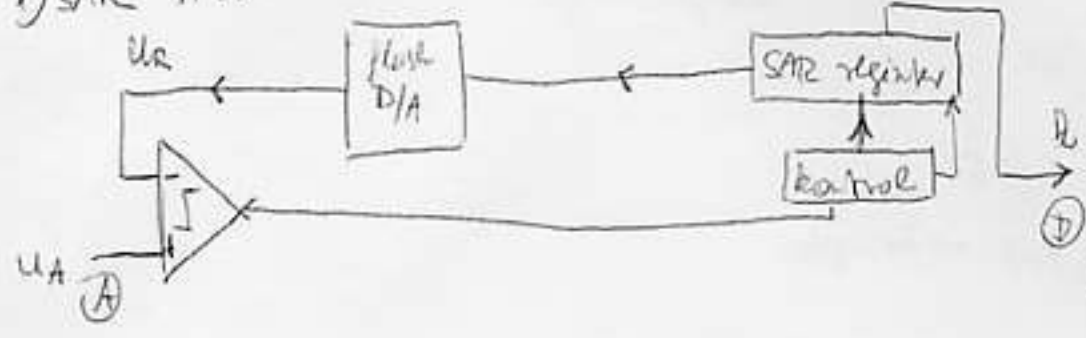


Analog, Statik → 8-9 bits Auflösung

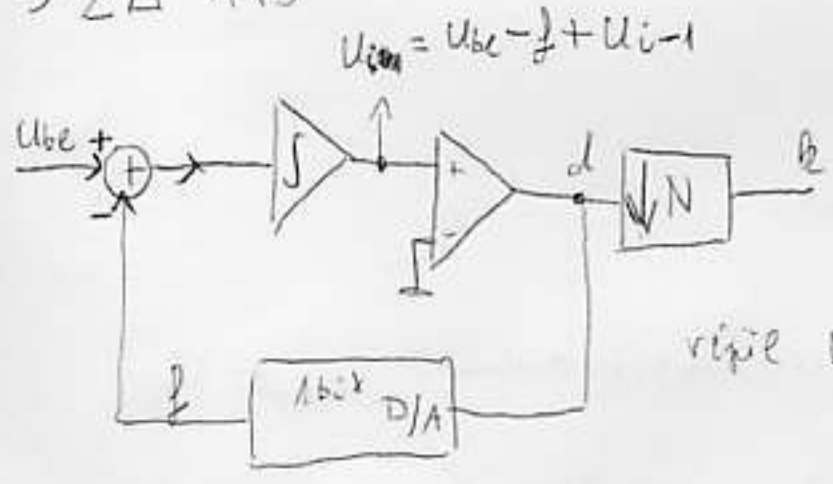


A → D Konverzio

1) SAR A/D

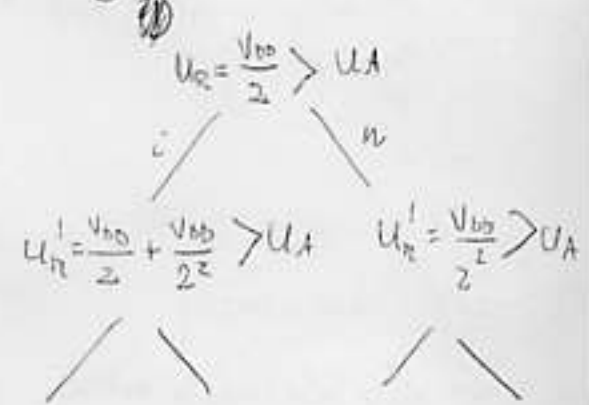


2) ΣΔ A/D

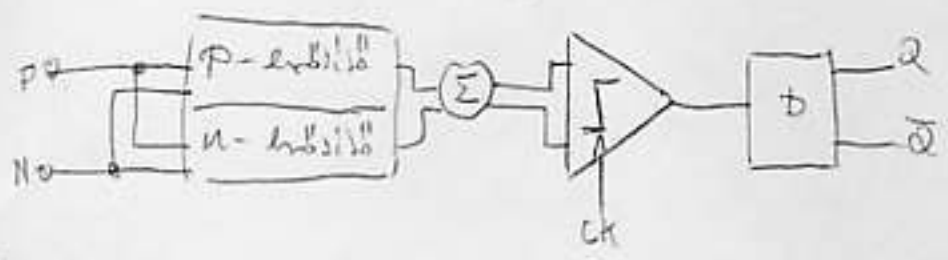
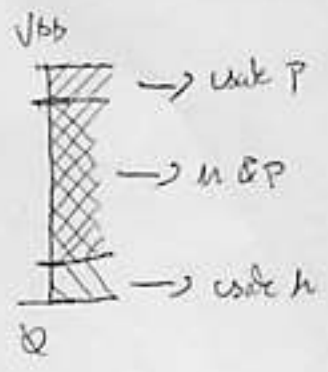


$$U_{out} = U_{be} \cdot \frac{1}{2} + U_{i-1}$$

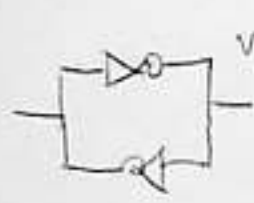
ripit $U_{be} = U_{ref} \cdot \frac{1}{2}$
 d - bit 1-bit DAC
 k n bits



komparátor → rail-to-rail üzemi mód
 → P-N hirtelen párhuzamos oldalsó csatlakozás



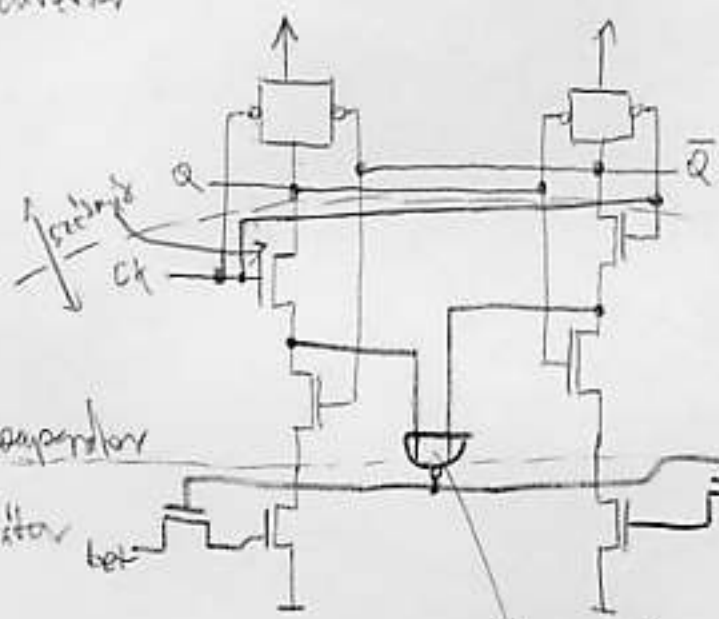
komparátor alapkondíciók:



vezérelt inverzor



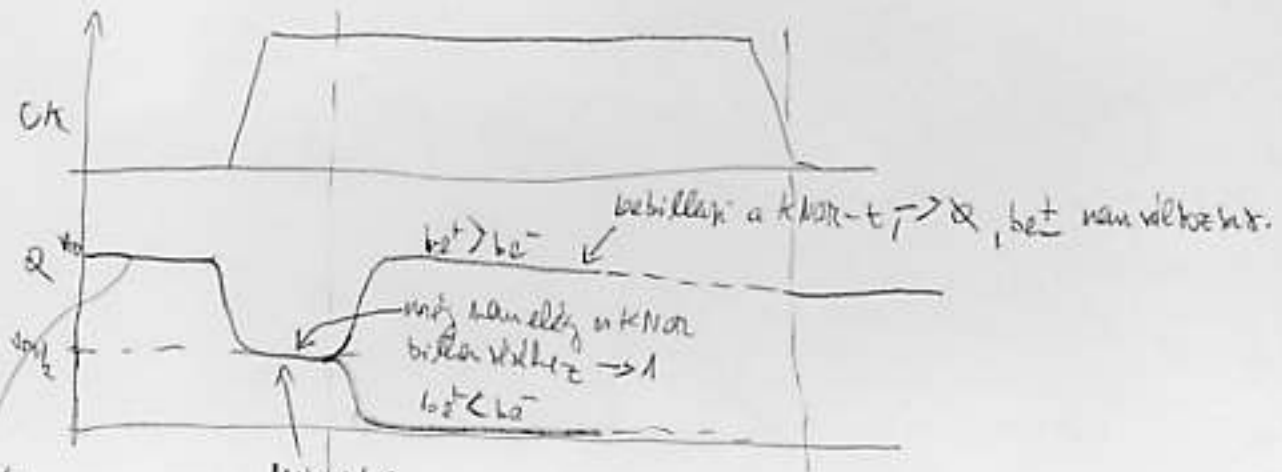
óravezérelt inverzor



óravezérelt komparátor

óravezérelt komparátor

Működés

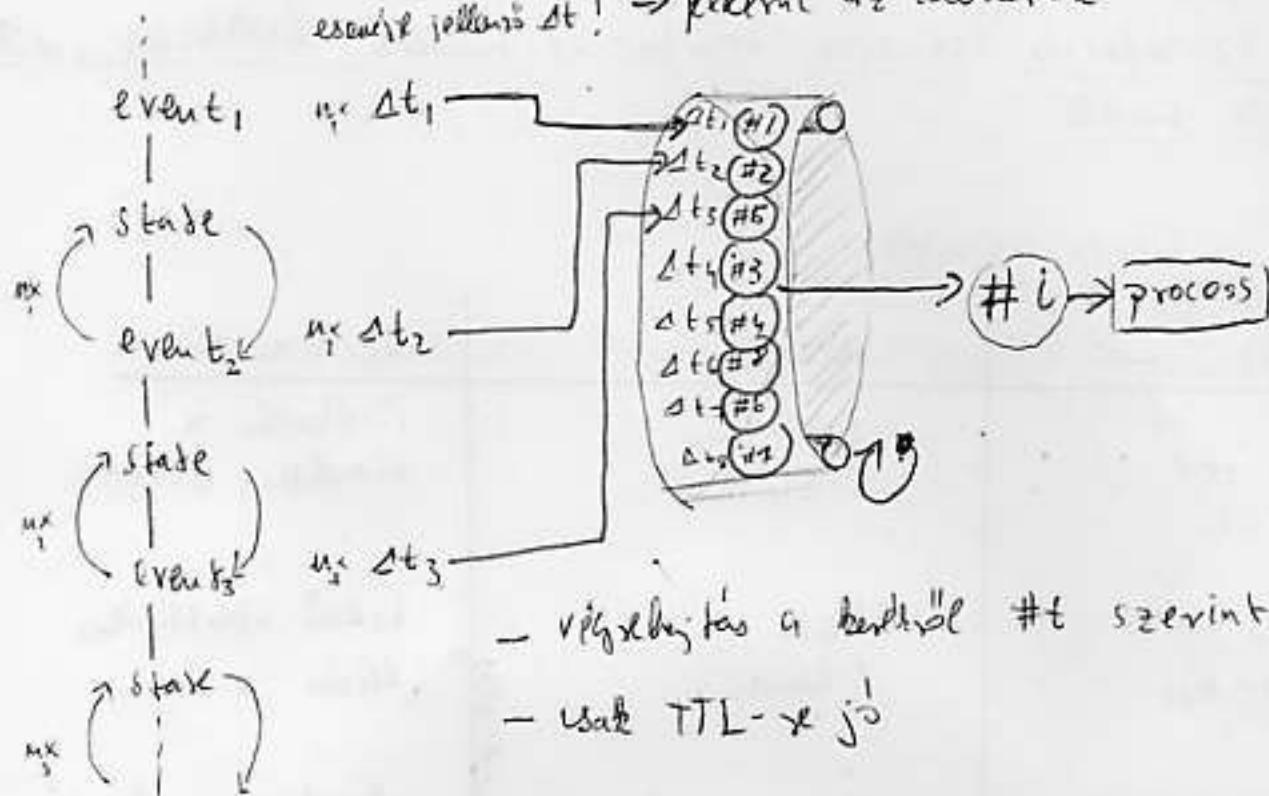


CH = 0-ka
 Q, Q pillanat
 0-ka, 0-ka 3-ka

nehézül állapot, be+ billanás

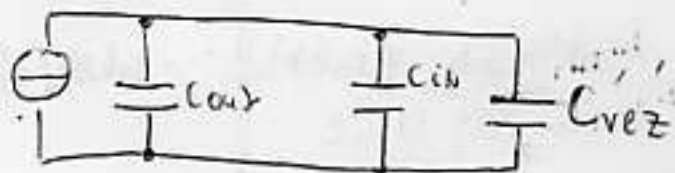
- nominal delay - time wheel

események időpontjai Δt ! \rightarrow felkerül az időkerékre



- Mixed mode

CMOS-ile $t_d = f(\text{CLK}, C_{in}, C_{vez})$ - működési delay - factor



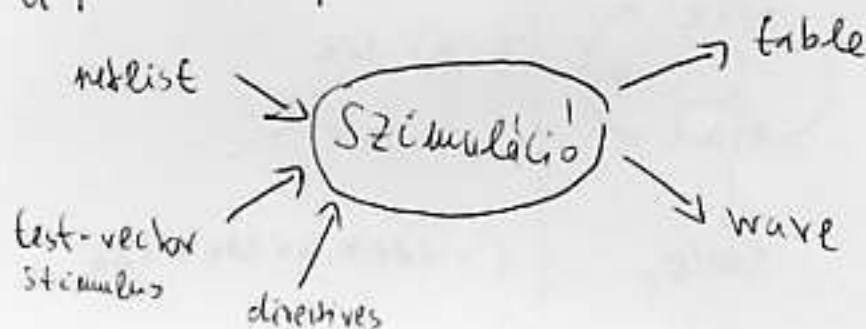
Kelecseny

$$t_d = t_{d0} + u(C_{in} + C_{vez})$$

- logikai értékek

jel	érték	fizikai pl.
L	0	$U < 0.15 \text{ V}$
H	1	$U > 4.5 \text{ V}$
X	hibásan	$0 < U < 5 \text{ V}$
Z	megszelvény	
U	ismeretlen	

- Szimuláció



③ A szimuláció szintjei. logikai szimuláció. Értékelés, időzítés, CMOS modell.

- Szimulációs szintek

	Szint	leírás	alkalmazás
absztrakció	Rendszer szint	C-system HDL	viselkedés a pineken, időzítés
	RTL FF, MV, ALU...	HDL schematic	belső strukturális leírás
	Logikai szint	Boole - fizika	logikai, időzítési verifikáció
	Áramkör szint	hálózati egyenletek netlist	AC-DC, timing adatok
	Alkagép szint	karakterisztika egyenletek model-lib, SPICE	adattípusok, karakterisztika

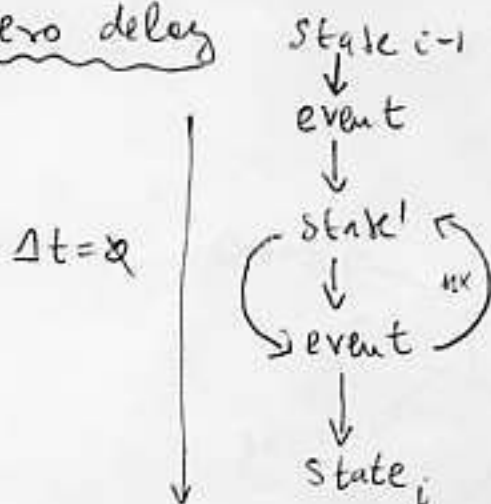
↑ valóság részlete

- logikai szint

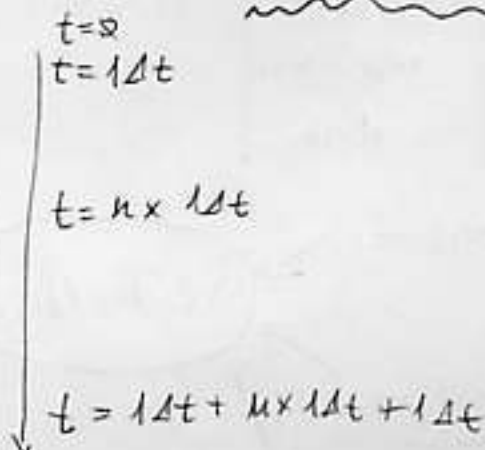
- ASIC tervezési folyamat

- nem feszültség / áram \rightarrow H, L szint $\{0, 1\}$

- Zero delay



- unit delay (Δt)



2) Művelési erősítő

diffe

exp. iller kb
1/2 bi kcsó.
source szerk

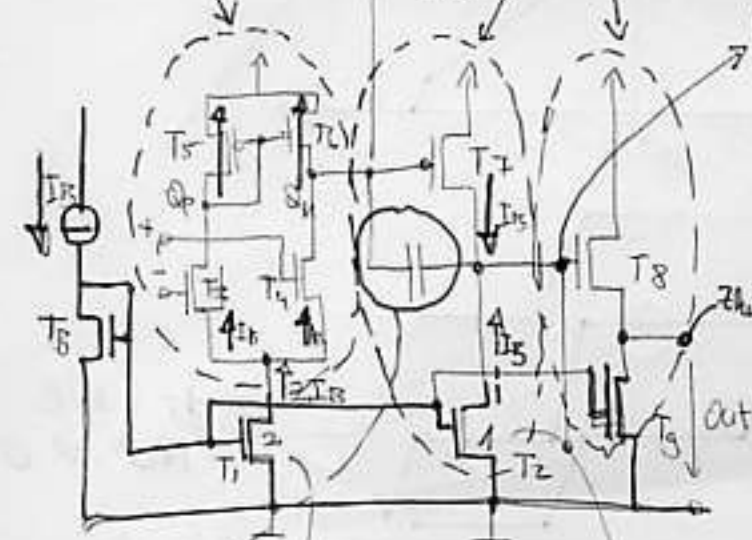


ha $U_+ = U_- \Rightarrow Q_+ = Q_-$
 I_{B5} kiterjedt innen hat T_{T7} -re cs! $\Rightarrow T_{T7}$ -re I_{B5}

$$Z_{ki} = \frac{1}{g_{d7} + g_{d6}}$$

- T_1 2
- T_2 1
- T_3 ↑
- T_4 ↑
- T_5 1
- T_6 1
- T_7 1
- T_8 1
- T_9 1
- T_{B8} ①

} A₁ CMRR



$2I_{B5}$ - a differenciális

ha $U_+ = U_- \Rightarrow \text{out} = \frac{V_{DD}}{2}$

CV R_C
 pólus kompenzálás
 DC-erősítés

$$A_1 = \frac{g_{m4}}{g_{d4} + g_{d6}} \left(= \frac{-g_{m3}}{g_{d3} + g_{d2}} \right) \quad \left. \vphantom{A_1} \right\} A_{bi} = A_1 \cdot A_2$$

$$A_2 = \frac{g_{m7}}{g_{d7} + g_{d2} + \frac{1}{R_C}} \rightarrow \text{aki felelős}$$

fizis terhelés és kompenzáció

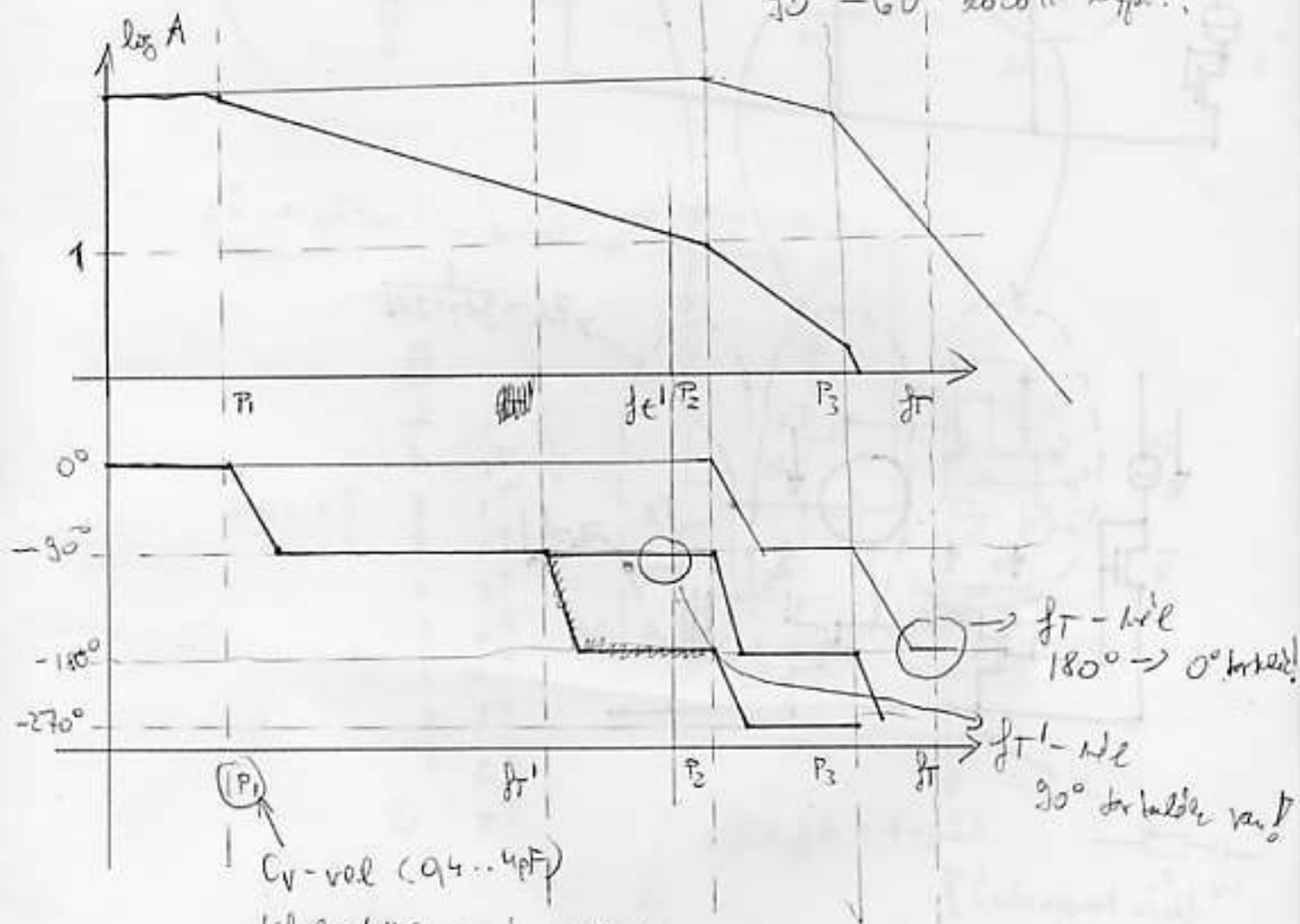
Nyquist kísérlet \rightarrow ahol $A=1$ $\varphi(\omega) < 180^\circ$

$$f_j = f_T$$

$$\varphi(f_T) < 180^\circ$$

$$180^\circ - \varphi(f_T) = \text{fizis terhelés}$$

$90^\circ - 60^\circ$ között legyen!



p_2 -nél eltekintve:

$$A(\omega) = A_0 \frac{1 + (j\omega \frac{1}{z})}{(1 + j\omega \frac{1}{p_1})(1 + j\omega \frac{1}{p_2})}$$

p_2 -nél figyelj, és ki-kompenzálható vele.

\Rightarrow fizis terhelés okoz!