

Ellenőrző mérés mintafeladatok

Mérés laboratórium 1., 2011 őszi félév

(2011-11-27)

Az ellenőrző mérésen az alábbiakhoz hasonló feladatokat kapnak a hallgatók (nem feltétlenül ugyanazeket).

Logikai analizátor

LA_2_1

Töltse le a mérésvezető által kijelölt konfigurációs állományt az FPGA mérőpanelba. Ezután a LogicPort logikai analizátorral végezze el az alábbiakban előírt vizsgálatokat.

A logikai analizátor a mérőhelyen található funkcionális vázlatnak megfelelően csatlakozik a vizsgált hálózathoz. Törölje az összes jelet (Remove All) a megjelenítési ablakból, majd vegye föl a vizsgálatához szükséges jeleket. A számláló Q0..3 kimeneteit egy **Szamlalo** elnevezésű buszként jelenítse meg.

A számláló órajele a beépített impulzusgenerátor legyen! (SW7 kapcsoló "0" állása.)

a/ Állapítsa meg a logikai analizátorral, **állapotanalízis üzemmódban**, hogy a megvalósított számláló az SW6 kapcsoló (*Mode*) állásától függően

- milyen modulussal,
- milyen irányba számol.

b/ Állítson be egy kétszintű triggerfeltételt arra az állapotra, amikor a számláló az 5 értéket vesz fel azután, számlálás irányát meghatározó Mode jel felfelé irányból lefele irányba váltott át.

c/ Állapítsa meg állapotanalízis üzemmódban, (ha ez a LogicPort analizátorral lehetséges), hogy mekkora a *Countin* órajel frekvenciája az SW1 kapcsoló "0" állásában.

LA_2_2

Töltse le a mérésvezető által kijelölt konfigurációs állományt az FPGA mérőpanelba. Ezután a LogicPort logikai analizátorral végezze el az alábbiakban előírt vizsgálatokat.

A logikai analizátor a mérőhelyen található funkcionális vázlatnak megfelelően csatlakozik a vizsgált hálózathoz. Törölje az összes jelet (Remove All) a megjelenítési ablakból, majd vegye föl a vizsgálatához szükséges jeleket. A számláló Q0..3 kimeneteit egy **Szamlalo** elnevezésű buszként jelenítse meg.

A számláló órajele a beépített impulzusgenerátor legyen! (SW7 kapcsoló "0" állása.)

a/ Állapítsa meg a logikai analizátorral, **állapotanalízis üzemmódban**, hogy a letöltött konfigurációban

- a *Clear* jel melyik értéke viszi alapállapotba a számlálót
- Az SW6 (*Mode*) kapcsoló állásától függően a számláló modulusa 10 vagy 16.

b/ Előfordulhat, hogy akkor történik meg a decimális módba átkapcsolás, amikor a számláló értéke 10 - 15. (Ehhez többször kell próbálkozni.) Állítson be triggerfeltételt az ilyen esetekre, és állapítsa meg, hogy ilyenkor a most már decimális számláló hogyan viselkedik.

c/ Állapítsa meg állapotanalízis üzemmódban, (ha ez a LogicPort analizátorral lehetséges,) hogy mekkora a *Countin* órajel frekvenciája az SW1 kapcsoló "0" állásában.

LA_2_3

Töltse le a mérésvezető által kijelölt konfigurációs állományt az FPGA mérőpanelba. Ezután a LogicPort logikai analizátorral végezze el az alábbiakban előírt vizsgálatokat.

A logikai analizátor a mérőhelyen található funkcionális vázlatnak megfelelően csatlakozik a vizsgált hálózathoz. Törölje az összes jelet (Remove All) a megjelenítési ablakból, majd vegye föl a vizsgálatához szükséges jeleket. A számláló Q0..3 kimeneteit egy **Szamlalo** elnevezésű buszként jelenítse meg.

A számláló órajele a beépített impulzusgenerátor legyen! (SW7 kapcsoló "0" állása.)

a/ Állapítsa meg a logikai analizátorral, **időzítésanalízis üzemmódban**, hogy a letöltött konfigurációban, az SW6 kapcsoló "1" állásában a dekóder Z0 - Z3 kimenetei közül melyiken lép fel hárás.

b/ Kurzorvonalak segítségével mérje meg a házárdjel szélességét! Adjon becslést is ennek a mérésnek a hibájára!

c/ Fogalmazzon meg triggerfeltételt, amellyel a ki tudja mutatni a házárdként értelmezhető állapotváltozásokat (impulzusokat). A működést egy olyan jelen mutassa be, ahol az előzőekben már látott házárdot.

LA_3_1

Adott a 3. mérésen megismert (elkészített), SPI vevőt és 7-szegmenses kijelző vezérlést tartalmazó terv, melynek néhány jele ki van vezetve az analízátorra.

Töltse le a kapott konfigurációs file-t az FPGA-ba, majd készítse egy logikai analízátor project-t, melyben az analízátorra kötött jeleket nevezze el (busz típusú jeleket buszként jelenítsen meg). Az analízátor segítségével ellenőrizze a rendszer működését, amennyiben hibát talál, következtessen a hiba helyére.

A kapott Verilog file-ok felhasználásával hozzon létre egy ISE project-t. A megfelelő helyen javítsa ki a fentiekben talált hibát. Fordítsa le a kijavított kódot, és győződjön meg a helyes működésről.

LA_4_1

Adott a 4. mérésből már jól ismert RIM (reakcióidő-mérő) készülék. A készülék rövid funkcionális specifikációja és funkcionális kapcsolási vázlata megtekinthető a mérőhelyen, és szükség esetén a hibátlan készülék konfigurációs fájlja (rim.bit) is letölthető az FPGA mérőpanelbe.

A mérésvezető elhelyezett egy hibát a reakcióidő-mérő készülék Verilog leírásának egyik moduljában, és a hibás leírásból generált konfigurációs állományt átadja, amit le kell tölteni az FPGA mérőpanelbe. (A keretezéssel jelölt modulokba most sem kerül hiba.)

- Írja le az észlelt hibajelenséget!
- A hibajelenségből következtessen a hiba valószínű helyére ill. helyeire!
- A logikai analízátor segítségével próbálja egyértelműen behatárolni a hiba helyét ill. a hibás modult!
- A mérésvezetőtől megkapja hibásnak gondolt modult, majd keresse meg a modul leírásában a hibát!

Verilog

V_3_1

Adott a 3. mérésen megismert (elkészített), SPI vevőt és 7-szegmenses kijelző vezérlőt tartalmazó terv.

Készítsen egy Verilog Test Fixture-t az SPI vevő működésének ellenőrzésére, majd szimulációban ellenőrizze a helyes működést. Amennyiben hibát talál a tervben, magyarázza meg a hiba felderítésének menetét. Javítsa ki a hibát és szimulációban győződjön meg a modul helyes működéséről.

A konfigurációs file generálása után programozza fel az FPGA-t, és ellenőrizze a működést a panelen is.

V_3_2

Adott a 3. mérésen megismert (elkészített), SPI vevőt és 7-szegmenses kijelző vezérlést tartalmazó terv, melynek utóbbi modulja hibás és/vagy hiányos.

Ha a kód hiányos, egészítse ki a hiányzó részekkel. Készítsen egy Verilog Test Fixture-t a 7-szegmenses vezérlő működésének vizsgálatához, majd szimulációban keresse meg az esetleges hibákat. A hibák kijavítása után újabb szimulációval győződjön meg a helyes működésről.

A konfigurációs file generálása után programozza fel az FPGA-t, és ellenőrizze a működést a panelen is.

V_5_1

Verilog nyelven tervezzon egy szinkron hálózatot, amely az alábbiakban specifikált funkciót valósítja meg. A WebPACK rendszer segítségével készítse el a leírást! A leírás elkészítésénél a WebPACK sablonjait (Language Templates) is használhatja. Nem szükséges hierarchikus tervezést végezni. (Szimulációval ellenőrizze a működést!) A leírást fordítsa le, és töltsen le az FPGA mérőpanelbe! Demonstrálja a helyes működést!

Funkció: A hálózat egy 4 bites Johnson számláló (léptető regiszter, melynek soros kimenete invertálva van visszavezetve a soros bemenetre). A számláló a BTN2 gombbal vihető alapállapotba, az alapállapot 4'b0000.

A hálózat órajele az FPGA panel 50 MHz-es órajele. A számláló léptetését egy másodpercenként érkező, 1 órajel szélességű engedélyező jel végzi. Ezt a jelet is a hálózat állítja elő. A számláló kimeneteinek állapotát az LD4-7 LED-ek jelzik.

V_5_2

Verilog nyelven tervezzen egy szinkron hálózatot, amely az alábbiakban specifikált funkciót valósítja meg. A WebPACK rendszer segítségével készítse el a leírást! A leírás elkészítésénél a WebPACK sablonjait (Language Templates) is használhatja. Nem szükséges hierarchikus tervezést végezni. (Szimulációval ellenőrizze a működést!) A leírást fordítsa le, és töltsse le az FPGA mérőpanelbe! Demonstrálja a helyes működést!

Funkció: A hálózat egy 4 bites bináris számláló. A hálózat az SW7 kapcsoló 0 állásában alapállapotba kerül. A számláló alapállapota 4'b0000. A hálózat órajele az FPGA panel 50 MHz-es órajele. Az SW1 kapcsoló 1 állásában számláló felfelé számol. A számlálást egy kb. másodpercenként érkező, 1 órajel szélességű engedélyező jel ütemezi. Ezt a jelet is a hálózat állítja elő. A számláló állapotát a hétszegmenses display egyik számjegye jelzi, hexadecimális formában.

V_5_3

Verilog nyelven tervezzen egy szinkron hálózatot, amely az alábbiakban specifikált funkciót valósítja meg. A WebPACK rendszer segítségével készítse el a leírást! A leírás elkészítésénél a WebPACK sablonjait (Language Templates) is használhatja. Nem szükséges hierarchikus tervezést végezni. (Szimulációval ellenőrizze a működést!) A leírást fordítsa le, és töltsse le az FPGA mérőpanelra!. Demonstrálja a helyes működést!

Funkció: A hálózat egy 4 bites léptető regiszter, melynek kimenete vissza van kötve a bemenetre. A hálózat az SW1 kapcsoló 0 állásában alapállapotba kerül. A regiszter alapállapota 4'b1000. A hálózat órajele az FPGA panel 50 MHz-es órajele. Léptetés az SW1 kapcsoló 1 állásában történik. A számlálást egy kb. másodpercenként érkező, 1 órajel szélességű engedélyező jel ütemezi. Ezt a jelet is a hálózat állítja elő. A regiszter kimeneteinek állapotát az LD4-7 LED-ek jelzik.

V_5_4

Verilog nyelven tervezzen egy szinkron hálózatot, amely az alábbiakban specifikált funkciót valósítja meg. A WebPACK rendszer segítségével készítse el a leírást! A leírás elkészítésénél a WebPACK sablonjait (Language Templates) is használhatja. Nem szükséges hierarchikus tervezést végezni. (Szimulációval ellenőrizze a működést!) A leírást fordítsa le, és töltsse le az FPGA mérőpanelra!. Demonstrálja a helyes működést!

Funkció: A hálózat egy 4 bites, bináris számlálót valósít meg, amely az SW0 kapcsoló 0 állásában a páros, 1 állásában a páratlan számokon lépdel végig. A generált számokat az LD4-7 LED-eken kell megjeleníteni, a számolást pedig az 50 MHz-es órajelből generált, másodperc frekvenciájú engedélyező jel ütemezi.

V_5_5

Verilog nyelven tervezzen egy szinkron hálózatot, amely az alábbiakban specifikált funkciót valósítja meg. A WebPACK rendszer segítségével készítse el a leírást! A leírás elkészítésénél a WebPACK sablonjait (Language Templates) is használhatja. Nem szükséges hierarchikus tervezést végezni. (Szimulációval ellenőrizze a működést!) A leírást fordítsa le, és töltsse le az FPGA mérőpanelra!. Demonstrálja a helyes működést!

Funkció: A hálózat egy 4 bites léptető regiszter, melynek kimenete vissza van kötve a bemenetre. A hálózat az SW1 kapcsoló 0 állásában alapállapotba kerül. A regiszter alapállapota 4'b0001. A hálózat órajele az FPGA panel 50 MHz-es órajele. Léptetés az SW1 kapcsoló 1 állásában történik, az SW2=0 esetben balra, az SW2=1 esetben jobbra. A számlálást egy kb. másodpercenként érkező, 1 órajel szélességű engedélyező jel ütemezi. Ezt a jelet is a hálózat állítja elő. A regiszter kimeneteinek állapotát az LD4-7 LED-ek jelzik.

V_5_6

Verilog nyelven tervezzen egy szinkron hálózatot, amely az alábbi bekezdésben specifikált funkciót valósítja meg. A WebPACK rendszer segítségével készítse el a leírást! A leírás elkészítésénél a WebPACK sablonjait

(Language Templates) is használhatja. Nem szükséges hierarchikus tervezést végezni. (Szimulációval ellenőrizze a működést!) A leírást fordítsa le, és töltsse le az FPGA mérőpanelra!. Demonstrálja a helyes működést!

Funkció: A hálózat egy futófényt (knight rider) valósít meg. A BTN0 gomb hatására (reset jel) csak a jobb oldali LD0 LED világít, majd a gomb elengedésekor a fény kb. másodperc ütemezéssel balra shiftelődik. A ledsor két végére érve a futási irány megfordul. A hálózat órajele az FPGA panel 50 MHz-es órajele. A shiftelést egy kb. másodpercenként érkező, 1 órajel szélességű engedélyező jel ütemezi. Ezt a jelet is a hálózat állítja elő.

V_5_7

Verilog nyelven tervezzen egy szinkron hálózatot, amely az alábbi bekezdésben specifikált funkciót valósítja meg. A WebPACK rendszer segítségével készítse el a leírást! A leírás elkészítésénél a WebPACK sablonjait (Language Templates) is használhatja. Nem szükséges hierarchikus tervezést végezni. (Szimulációval ellenőrizze a működést!) A leírást fordítsa le, és töltsse le az FPGA mérőpanelra!. Demonstrálja a helyes működést!

Funkció: A hálózat egy adott ütemben villogó LD0 LED, amelynek az ütemezését a SW1 kapcsoló állása határozza meg. A SW0=0 esetben 1 mp-enként, SW0=1 esetben pedig 2 mp-enként a LED állapotot vált. A hálózat órajele az FPGA panel 50 MHz-es órajele.

V_5_8

Verilog nyelven tervezzen egy szinkron hálózatot, amely az alábbi bekezdésben specifikált funkciót valósítja meg. A WebPACK rendszer segítségével készítse el a leírást! A leírás elkészítésénél a WebPACK sablonjait (Language Templates) is használhatja. Nem szükséges hierarchikus tervezést végezni. (Szimulációval ellenőrizze a működést!) A leírást fordítsa le, és töltsse le az FPGA mérőpanelra!. Demonstrálja a helyes működést!

Funkció: A hálózat bekapcsolás után egy 0 karaktert jelenít meg a jobb oldali hétszegmenses kijelzőn, majd ezt követően kb. másodperces időzítéssel a 0 karakter jobbról-balra halad a hétszegmenses kijelzőkön. A bal oldali kijelzőt elérve a karakter ismét jobbról lép be. A hálózat órajele az FPGA panel 50 MHz-es órajele.

V_5_9

Verilog nyelven tervezzen egy szinkron hálózatot, amely az alábbi bekezdésben specifikált funkciót valósítja meg. A WebPACK rendszer segítségével készítse el a leírást! A leírás elkészítésénél a WebPACK sablonjait (Language Templates) is használhatja. Nem szükséges hierarchikus tervezést végezni. (Szimulációval ellenőrizze a működést!) A leírást fordítsa le, és töltsse le az FPGA mérőpanelra!. Demonstrálja a helyes működést!

Funkció: A hálózat egy, az SW0 kapcsolóval változtatható számlálási irányú 0-9 értéktartományú másodpercszámláló értékét mutatja meg a jobb oldali hétszegmenses kijelzőn, az LD0 LED egy paritásbitet jelenít meg, az LD1 LED pedig a szám páros jellegét azonosítja. A hálózat órajele az FPGA panel 50 MHz-es órajele. A számlálást egy kb. másodpercenként érkező, 1 órajel szélességű engedélyező jel ütemezi. Ezt a jelet is a hálózat állítja elő.

V_5_10

Verilog nyelven tervezzen egy szinkron hálózatot, amely az alábbi bekezdésben specifikált funkciót valósítja meg. A WebPACK rendszer segítségével készítse el a leírást! A leírás elkészítésénél a WebPACK sablonjait (Language Templates) is használhatja. Nem szükséges hierarchikus tervezést végezni. (Szimulációval ellenőrizze a működést!) A leírást fordítsa le, és töltsse le az FPGA mérőpanelra!. Demonstrálja a helyes működést!

Funkció: A BTN0 (reset jel) gomb hatására a SW0-SW7 kapcsolókkal beállíthatott értékek megjelennek két darab jobb oldali hétszegmenses kijelzőn. A BTN0 gomb felengedése után ezek az értékek kb. másodpercenként shiftelődnek egy visszacsatolt balra shiftelő regiszterben, miközben az aktuális értékek megjelennek a két digitális hétszegmenses kijelzőn. A hálózat órajele az FPGA panel 50 MHz-es órajele. A shiftelést egy kb. másodpercenként érkező, 1 órajel szélességű engedélyező jel ütemezi. Ezt a jelet is a hálózat állítja elő. A két darab nem használt digiten semmi ne jelenjen meg.

