

VeriWell útmutató

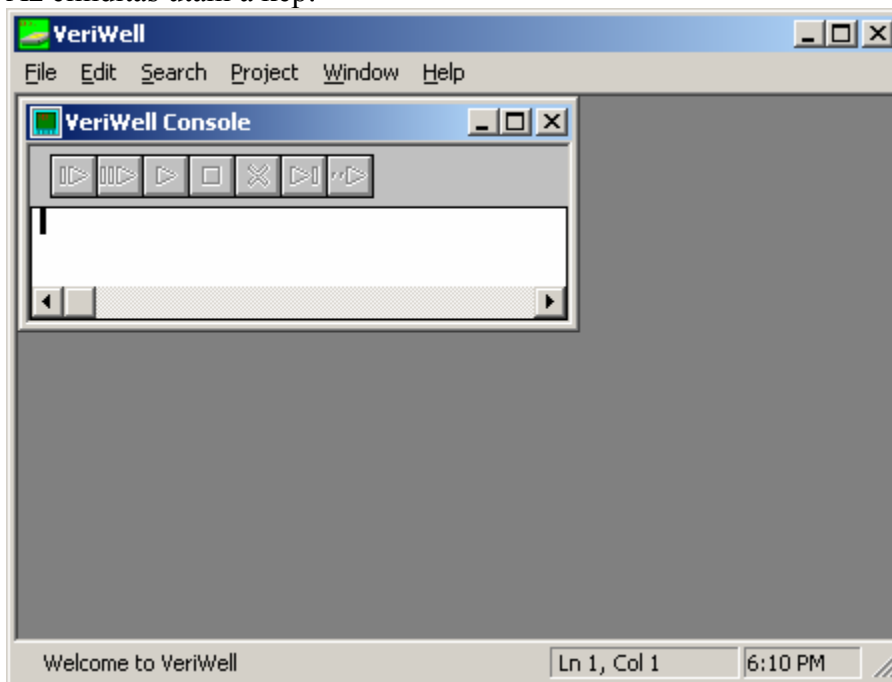
A VeriWell egy a Verilog hardver leíró nyelven alapuló digitális tervezést segítő program. Segíti a Verilog nyelvű digitális terv elkészítését és hibakeresését, képes szimulálni a kész tervet, továbbá az eredményeket idődiagrammon megjeleníteni.

Installálása

A programot a letöltött verziótól függően lehet, hogy nem kell installálni. Csak a veriwell.exe és ha van a Vhelp.hlp fileokat kell bemásolni egy tetszőleges könyvtárba és célszerűen egy shortcut-ot elhelyezni a desktop-on (Windows Explorer-ben kijelölni a veriwell.exe-t majd, jobb egérgombbal lenyíló menüben create shortcut, majd az új shortcut desktop-ra húzása), hogy kényelmesebben indíthassuk. Installálós változatnál a setup.exe-t kell elindítani.

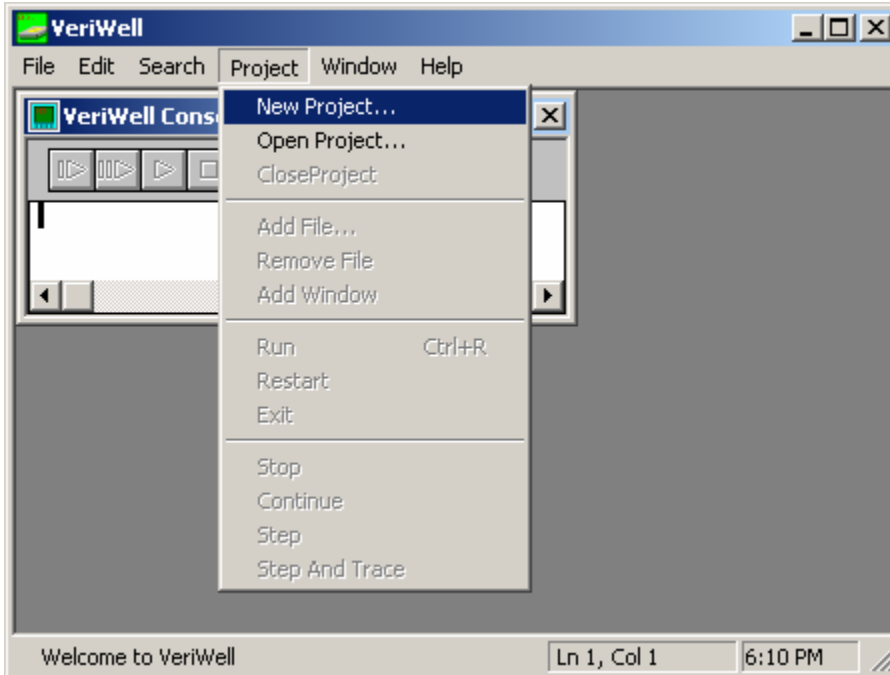
A program használata

Az elindítás utáni a kép:

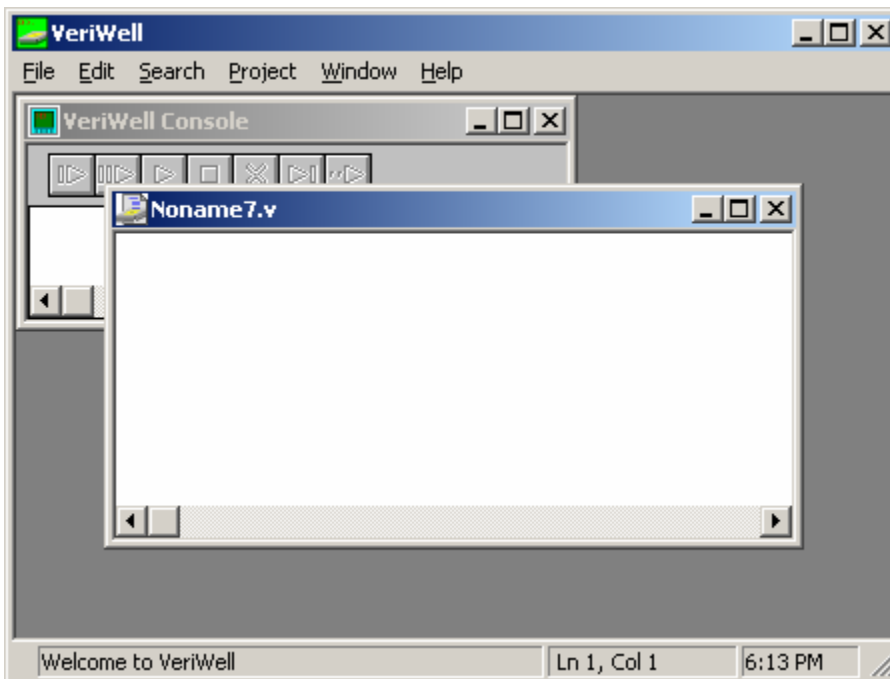


Ha új tervet készítünk, a munka egy új project megnyitásával kezdődik. A project file tárolja, hogy milyen Verilog fileokból épül fel a projectünk. A project létrehozása előtt először készítsünk egy könyvtárat pl. a Windows Explorerrel.

Ezután a Veriwellben Project/New Project után adjuk meg a project nevét.

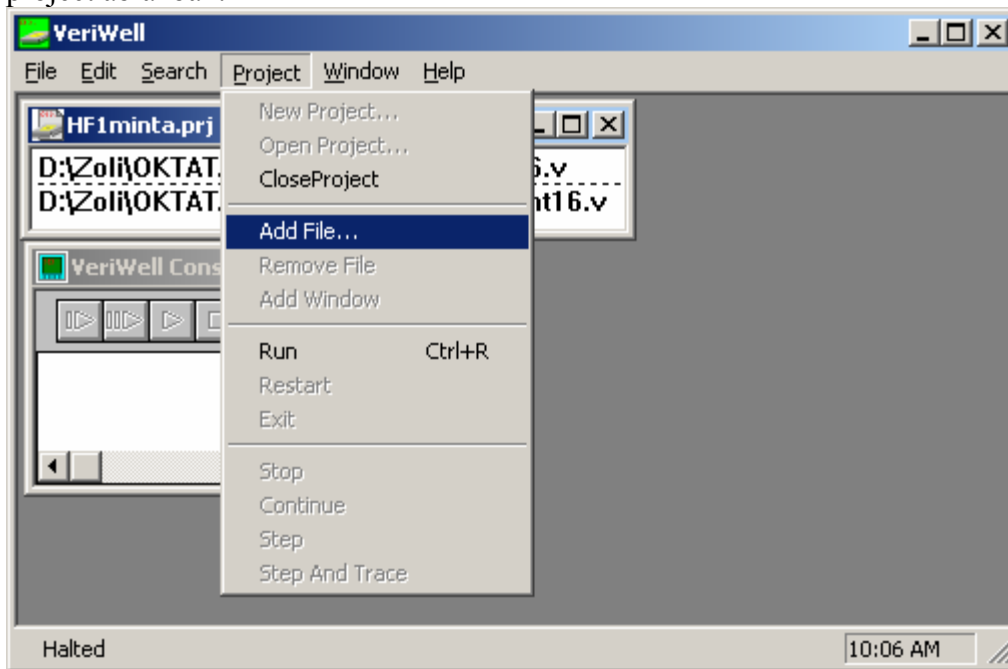


A File/New segítségével nyithatunk meg egy szerkesztő ablakot, melyben elkészíthetjük a Verilog nyelvű modulunkat.



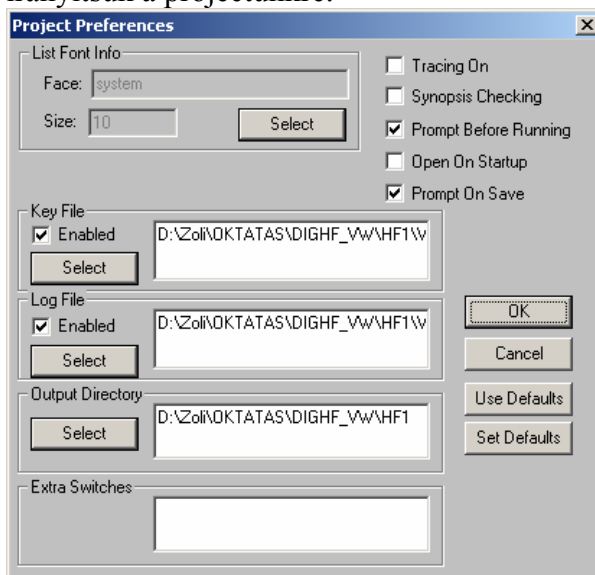
Hogy szimulálni is tudjunk, legalább 2 file-t kell elkészítenünk. Egyik a logikát tartalmazza, másik a logikát tesztelő modul.

Az elészült project file-jait el kell menteni a File/Save All paranccsal. Ezután hozzá kell rendelni őket a projecthez. A hozzárendeléseket a Project/Add File parancs után tehetjük meg, egyenként. A hozzáadott fileok neve az elérési útvonalukkal együtt megjelenik a project ablakban.

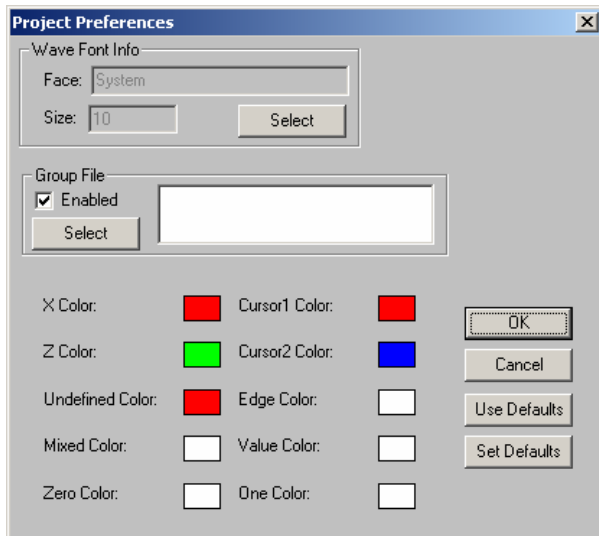


Egy kész projectet a Project/Open Project paranccsal nyithatunk meg. (A HF1 elkészítése innen indul, a minta project megnyitásával.)

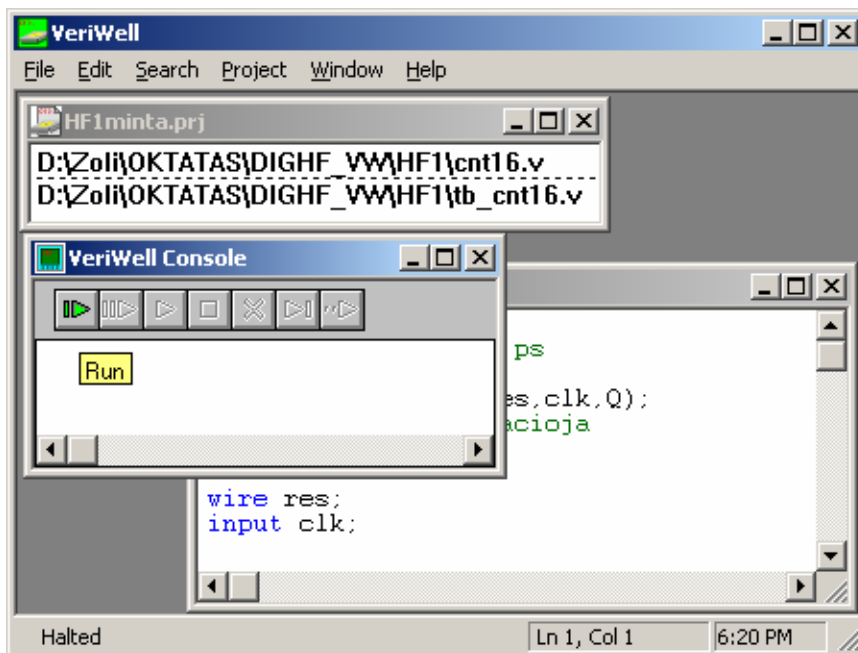
Mielőtt továbblépünk, állítsuk be, hogy a szimulációkor keletkező file hova kerüljön. Edit/Preferences/Project hatására megnyílik az alábbi ablak. Itt az Output Directort irányítsuk a projectünkre.



Ugyncsak az Edit/Preferences/Wave-nél klikkeljük be a Group File Enable check boxot és állítsuk át a Mixed Colort és a Value Colort fehérre. Ez utóbbikat azért, hogy jobban látszódjon az eredmény kinyomtatva.



Ezután, ha a verilog file-okat elkészítettük, megpróbálhatjuk lefordítani a programot. Ehhez szükséges a Veriwell Console.

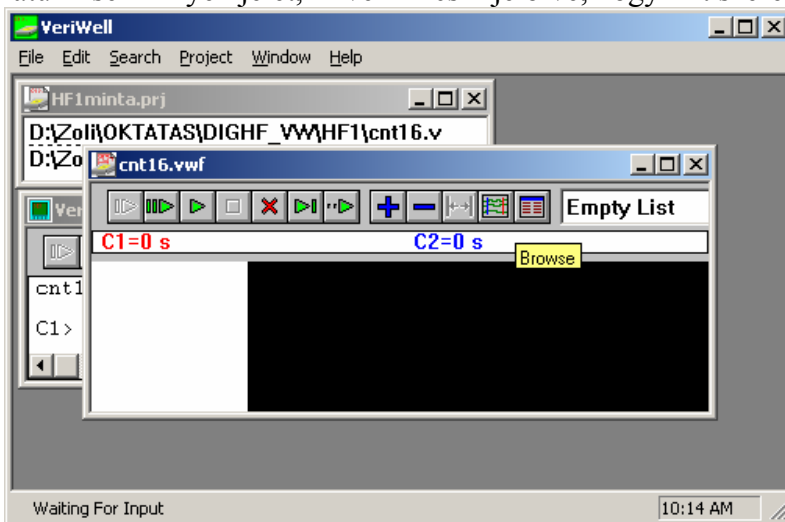


Ennek első gombjára (Run) fordul le a program. A Console ablakában kapjuk meg az üzenetet, hogy sikeres volt-e a fordítás. Addig nem lehet szimulálni, amíg a hibákat ki nem javítottuk. Ha hibátlan a fordítás, indulhat a szimuláció, a harmadik (Continue) gombbal. (A demo verzió üzenetét leokézzuk.) Ha minden jól megy, a Console ablakban a normal exit üzenetet kapjuk.

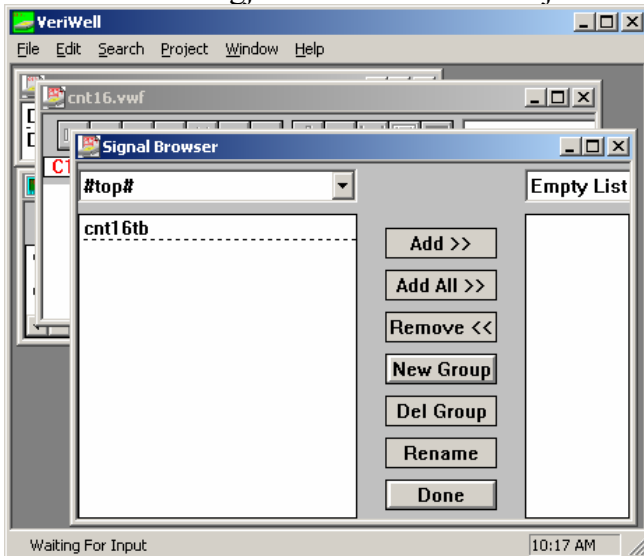
Ha ezután a Windows Explorerral ránézünk a project direktorinkra, ott kell lennie egy vwf kiterjesztésű file-nak. Ennek feltétele, hogy egyrészt Project Preferenciesben jól legyen beállítva az output directory, másrészt a tesztelő modul initial blokkjában ott legyenek az alábbi \$-al kezdődő sorok, de legalább a második. Ha az első nincs ott, akkor a wave file a default wavefile.vwf nevet kapja.

```
Initial
begin
$vw_dumpfile("sajatnev.vwf"); // a wave (idődiagram) file neve
$vw_dumpvars; // figyelés kezdete
...
```

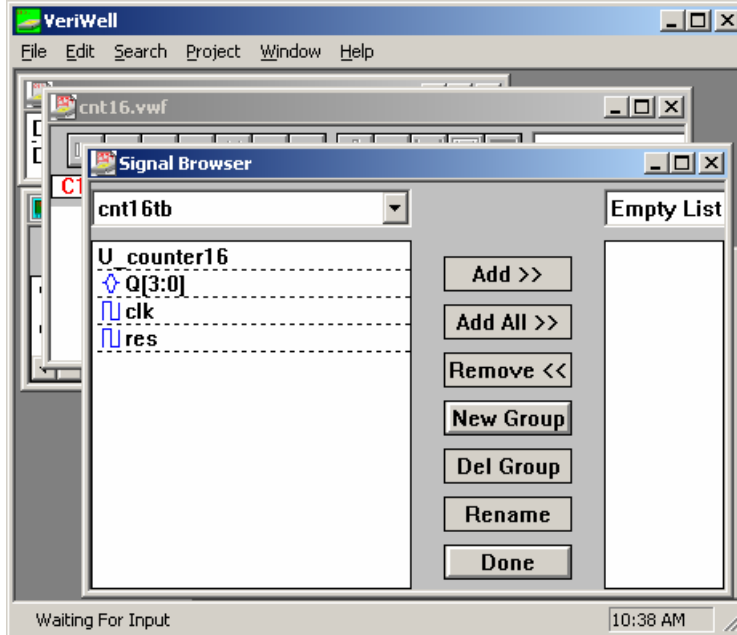
Az idődiagramot megjelenítő ablak a megfelelő vwf kiterjesztésű file beolvasásakor nyílik meg. Ezt a File/Open Wave File paranccsal tehetjük meg. Ekkor azonban még nem látunk semmilyen jelet, mivel nincs kijelölve, hogy mit szeretnénk látni.



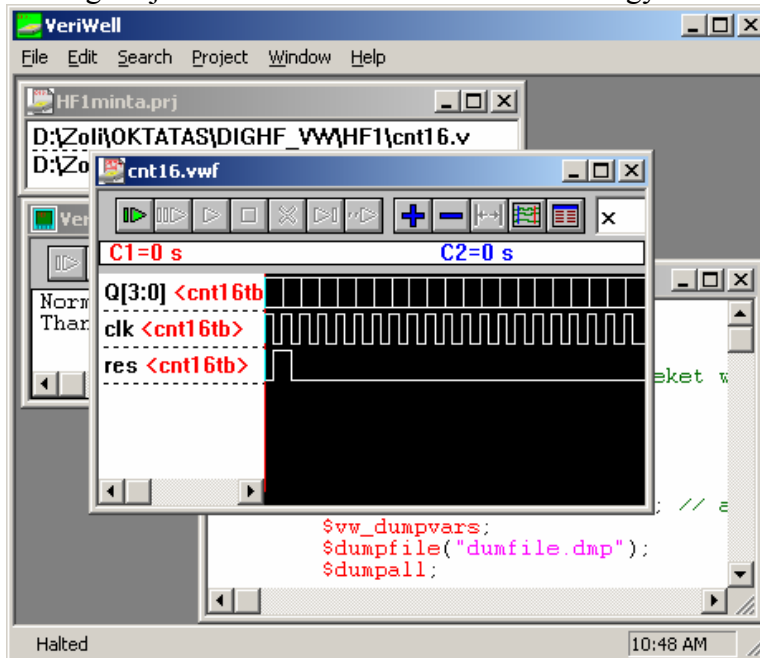
A megjelenítendő jelcsoportot az idődiagram megjelenítő utolsó (Browse) gombjára klikkelés után megjelenő ablakban állíthatjuk be.



Azokat a jeleket jeleníthetjük meg, amelyek figyelését a tesztelő fileban kijelöltük a **\$vw_dumpvars** (level, module1 or signal1, module2 or signal2, ...) paraméterlistájában. Ha nem jelöltünk ki semmit, akkor az összes jelet megjeleníthetjük, hacsak nem értük el a demo verzió 10-es korlátját. A modul nevére klikkelve megjelennek a jelnevek.



Melőtt kijelölnénk a jelneveket, létre kell hozni egy jelcsoportot a New Group paranccsal. A megjelenő ablakban lehet a jelcsoport nevét megadni. Ezután a jeleket kijelölhetjük egyenként (Add) vagy az összeset (Add All). A Done paranccsal fejezzük be a kijelölést. A kijelölést célszerű elmenteni a File/Save Group File paranccsal. Ezután már csak be kell tölteni, ha szükség van rá. A group kijelölése vagy betöltése után megjelenik a jelek idődiagramja. A HF-hoz a minta file-ok között egy előre elkészített group fiel is van.



Sajnos az idődiagram közvetlenül nem nyomtatható ki. Ezért az idődiagram ablakának *megfelelő átméretezése után* (egérrel egyszerűen a megfelelő méretre húzzuk az ablakot) Alt PrintScreen billentyű kombinációval menthetjük az egész aktuálisan kijelölt ablakot (itt csak az egész program ablaka jelölhető ki, a benne nyílókra külön-külön nem működik a dolog) a vágóasztalra. Innen Shift Insert billentyű kombinációval szűrhatjuk be pl. egy word dokumentumba. Hogy a word dokumentumban használható képet kapjunk, egyrészt gondosan kell készíteni az átméretezést, különben nem fog látszódni rendesen az idődiagram, továbbá célszerű a word file-ba egy szekció breaket szúrni, Insert/Brake/Next page, majd az új szekciót File/Page Setup után Landscape-re beállítani, és erre a lapra illeszteni be a vágóasztalról az idődiagrammot tartalmazó ablakot. A következő lap egy így készült beszúrást mutat.

Előfordul, hogy a szimulátor szintaktikai hiba miatt „elszál”, pl., ha a sor végén hiányzik a pontosvessző. Ekkor a program újraindítása után, de még fordítás előtt próbáljuk megkeresni és kijavítani a hibát. A hibás modul behatárolásához vegyük ki a gyanús modult a project file-jai közül (Project/Remove File) és fordítsuk újra. Ha nem száll el, megvan a hibás modul.

