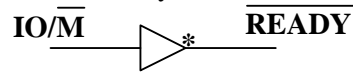


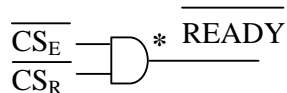
## $\overline{READY}$ logika tervezése

### Írás és olvasás esetén azonos módon működő vezérlés

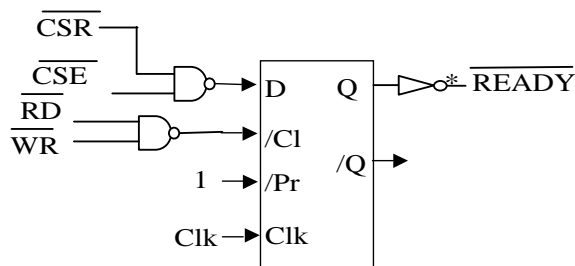
1. Legegyszerűbb eset, a rendszerben minden memória áramkör **0** WAIT állapottal működik mind **írás**, mind **olvasás** esetén, nem különböztünk meg RAM/EPROM memóriát vagy címtartományokat.



2. Tervezzon  $\overline{READY}$  logikát, amellyel a RAM és az EPROM egyaránt 0 WAIT állapottal írható/olvasható.

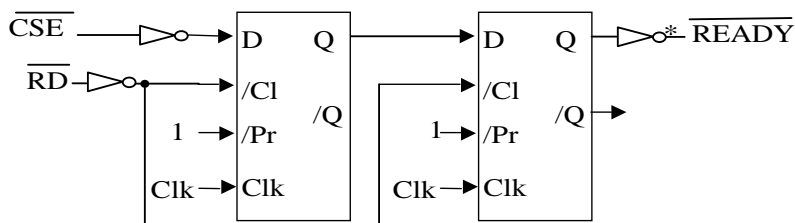


3. Tervezzon  $\overline{READY}$  logikát, amellyel a **RAM** és az **EPROM 1** WAIT állapottal működik.



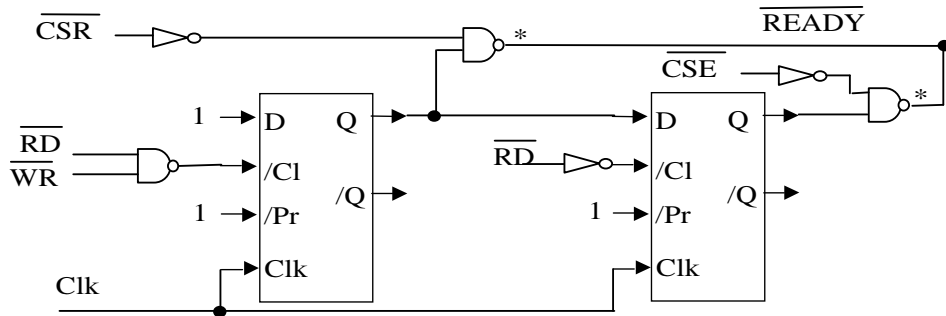
4. Tervezzon  $\overline{READY}$  logikát, amellyel az **EPROM 2** WAIT állapottal működik.

Az EPROM miatt elegendő csak olvasásra működtetni az áramkört!



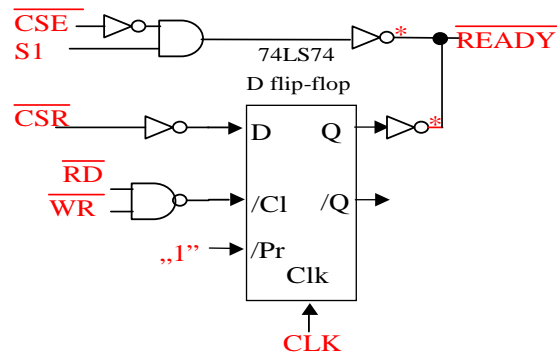
## Megkülönböztetett írás/olvasás

1. Tervezzen olyan  $\overline{READY}$  áramkört, amely a  $\overline{CSR}$  engedélyező jellel rendelkező **RAM** memória számára **íráskor és olvasáskor 1**, a  $\overline{CSE}$  engedélyező jellel rendelkező **EPROM olvasáskor 2** WAIT állapotot kér.



2. Tervezzen  $\overline{READY}$  logikát, ha a RAM olvasáskor és íráskor **1** WAIT állapotot igényel! EPROM csak olvasáskor **0** WAIT állapottal működik íráskor nem ad  $\overline{READY}$  jelet, amelyet S0,S1 állapotjelekkel oldjon meg!  
(segédlet 18.o.)

IO/-M	S1	S0	Művelet
0	1	1	<b>OPkód FETCH</b>
0	1	0	<b>Mem. olvasás</b>
0	0	1	Mem. írás



3. Tervezzen  $\overline{READY}$  logikát, ha a RAM olvasáskor és íráskor **0** WAIT állapotot igényel, az EPROM1 csak olvasáskor **1** WAIT állapottal működik, az EPROM2 csak olvasáskor **2** WAIT állapottal működik íráskor egyik EPROM sem adjon  $\overline{READY}$  jelet!

